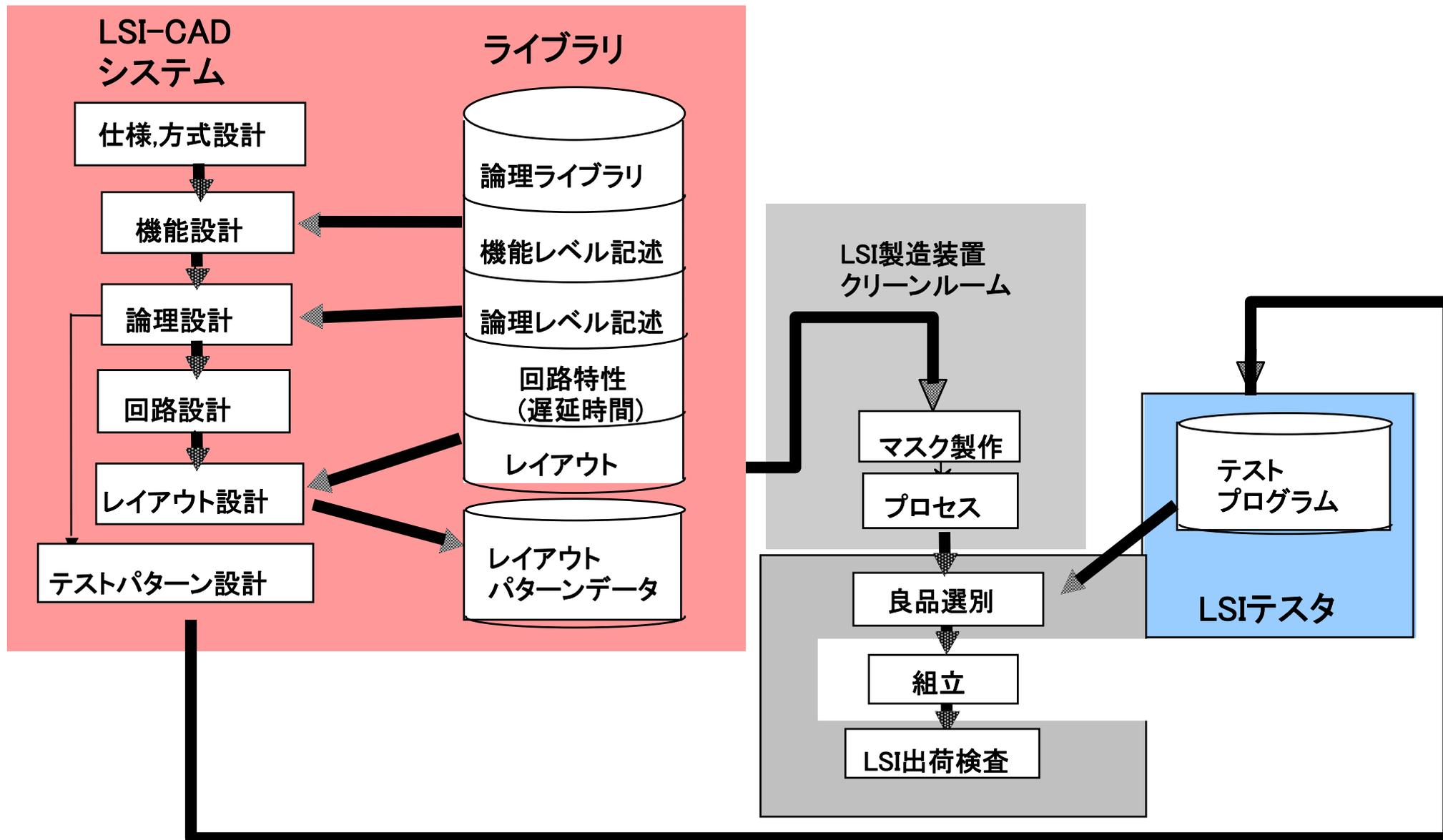
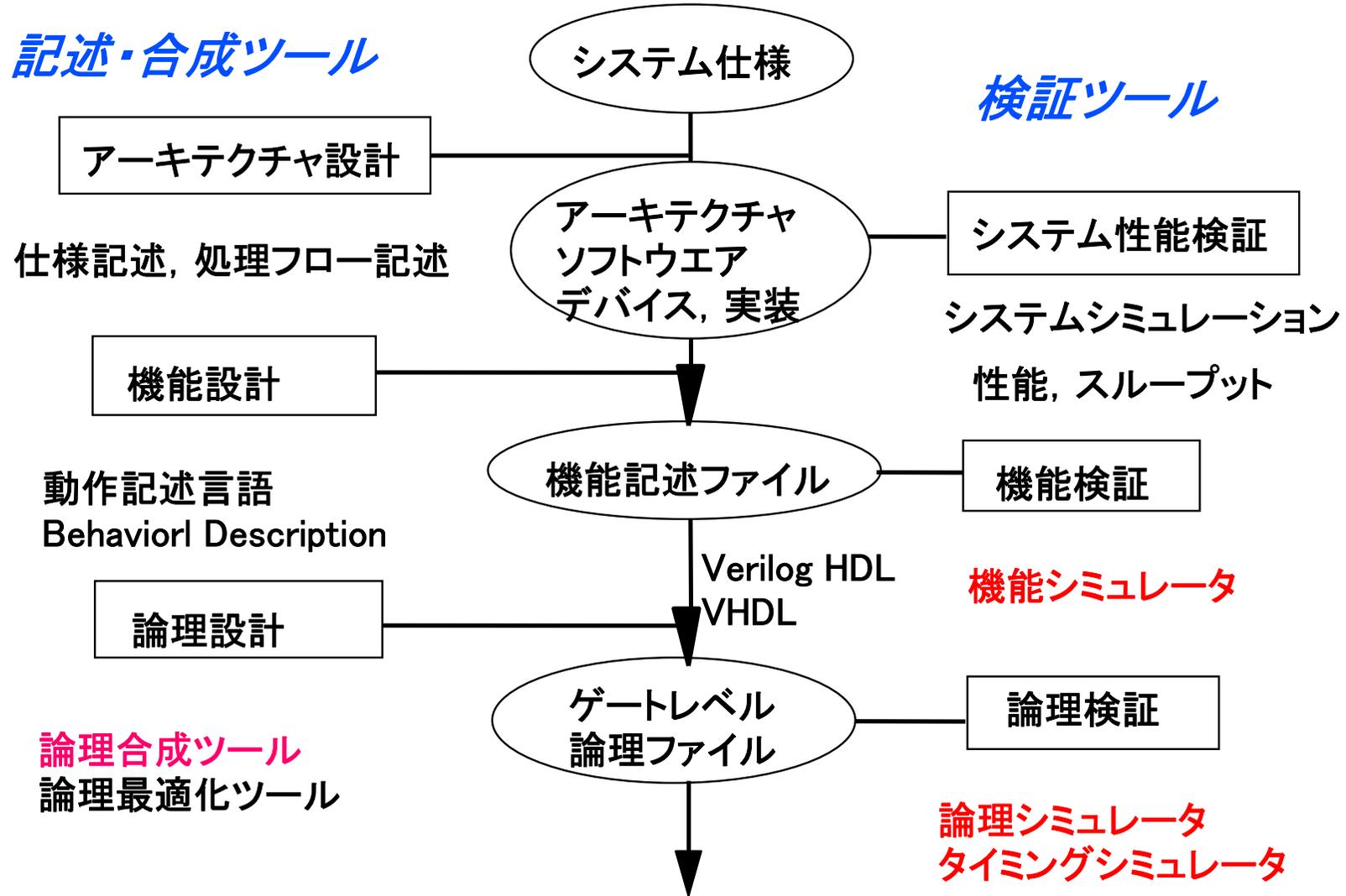


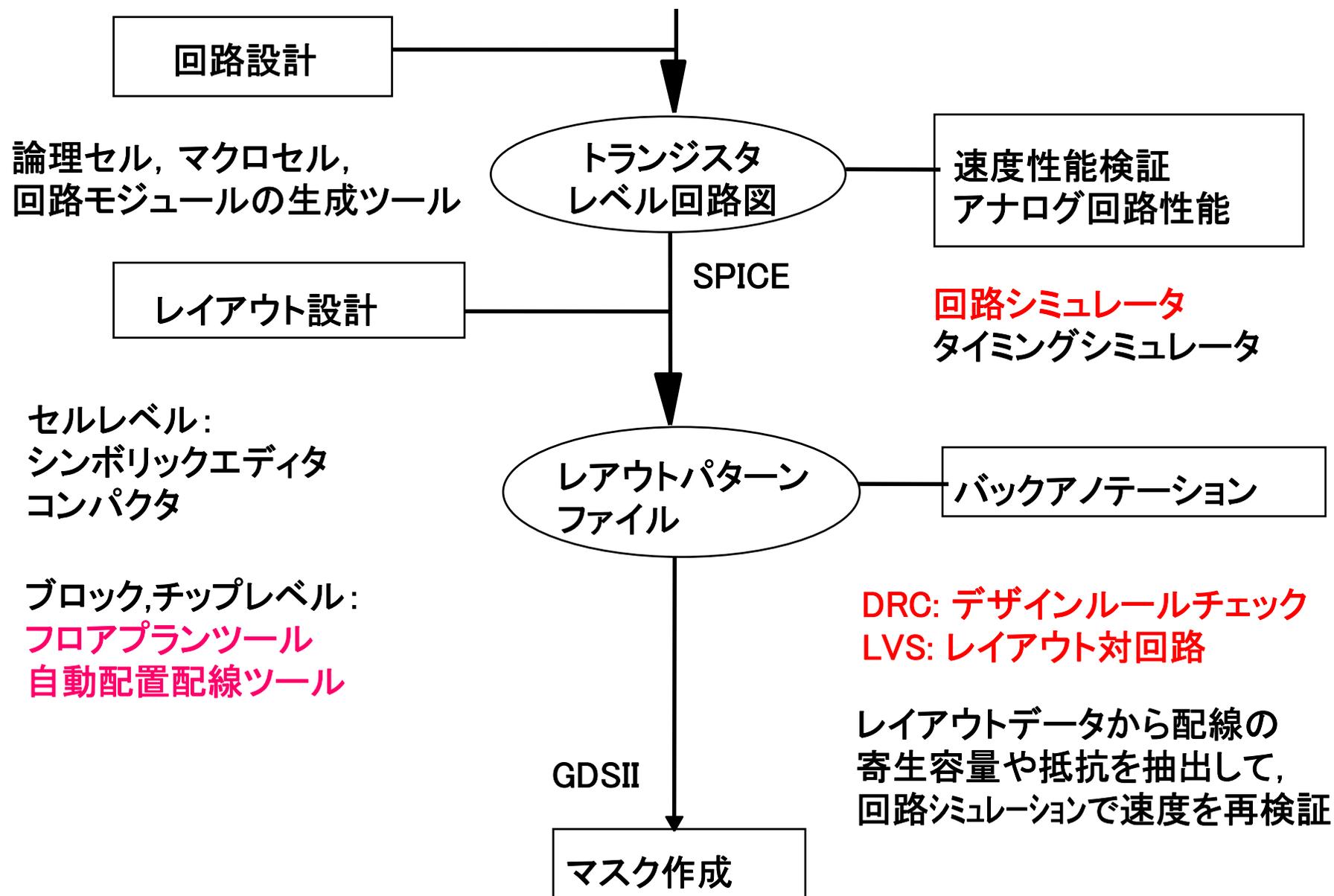
第12章 LSIの設計法と構成法  
第13章 LSIの実装

# 集積回路設計開発の流れ



# 集積回路設計のCADツール

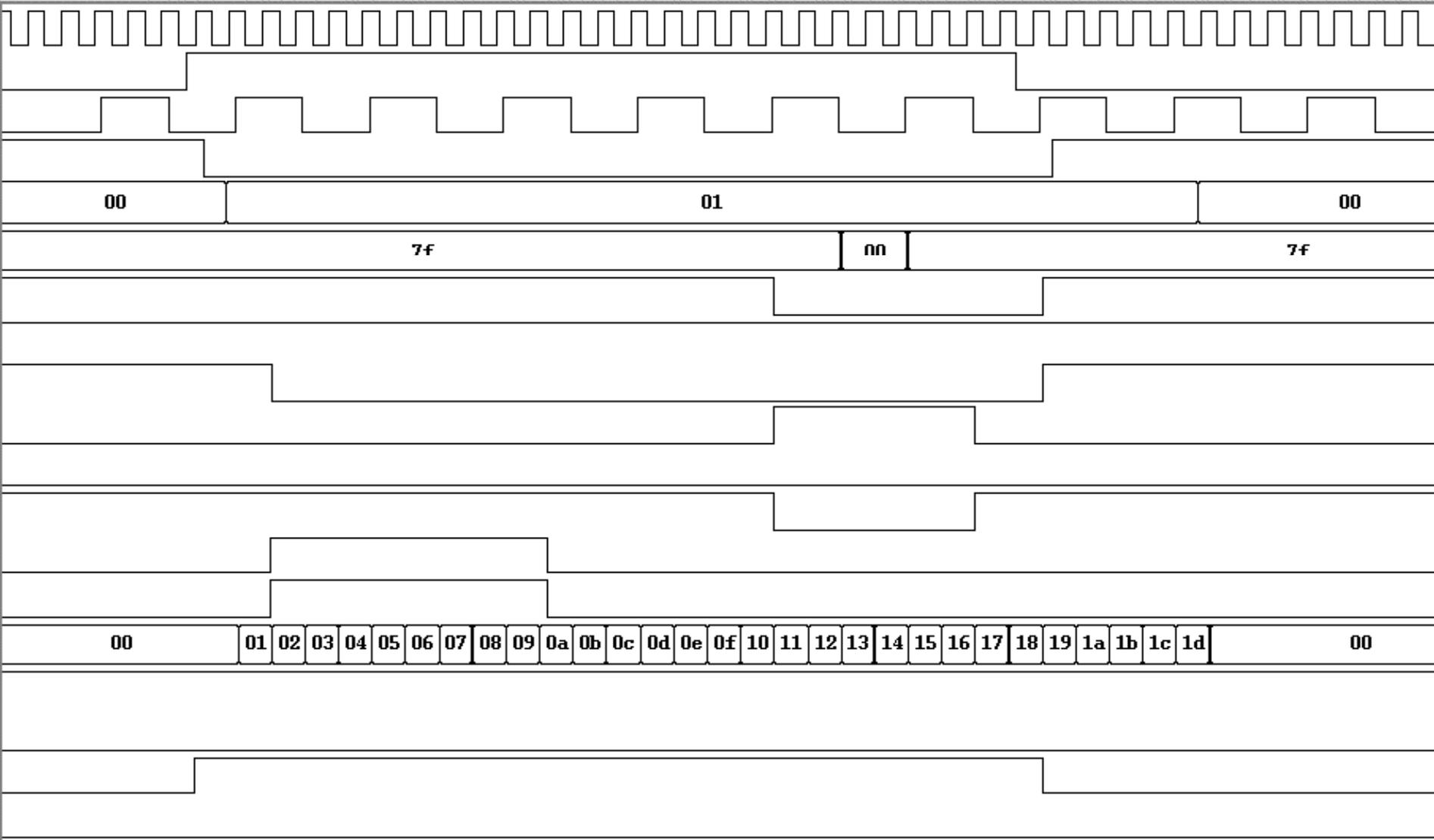






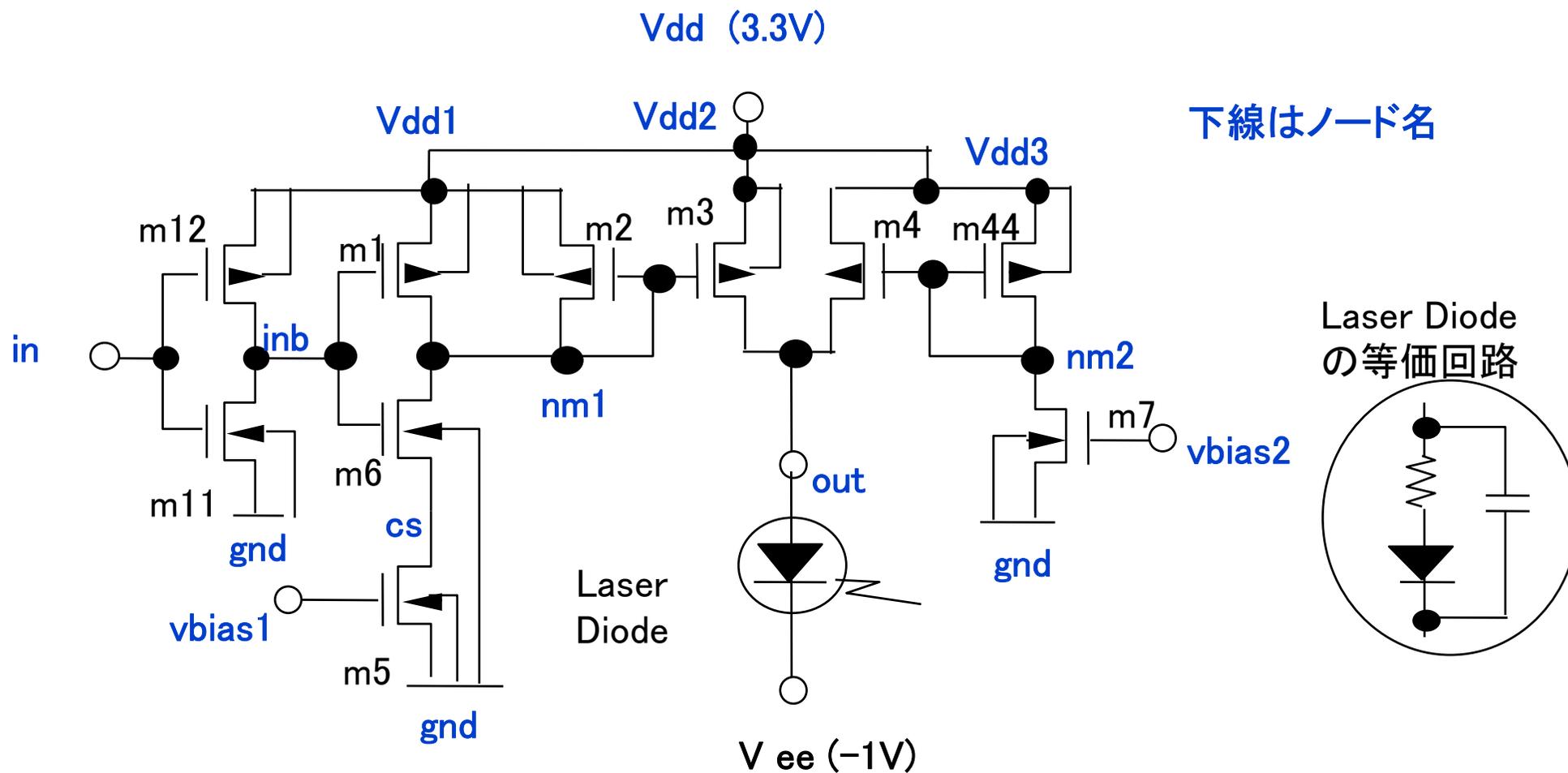
34550.183

- test.top.CLK
- test.top.CT
- test.top.PCIN
- test.top.S\_BDR
- test.top.S\_PAD
- test.top.S\_PCIN
- test.top.S\_PWEN
- test.top.M\_RSTC
- test.top.S\_PWRS
- test.top.S\_WSDD
- test.top.S\_WSDU
- test.top.S\_WTB
- test.top.TP\_14
- test.top.TP\_15
- test.top.bit2
- test.top.wdcen
- test.top.wtasearch
- test.top.yproen
- test.top.D\_DRVO



# 回路シミュレーション

## レーザドライバ回路



## SPICE記述例

## LD Driver

```

.lib '/home/spicelib/nel05hv.par' typ    MOSライブラリ

.tran 0.05n 30n                          過渡解析のコマンド

****net list*****
m11 gnd in inb gnd nch.0 w=10u l=0.6u
m1  vdd1 inb nm1vdd1 pch.0 w=20u l=0.6u
m2  vdd1 nm1 nm1 vdd1 pch.0 w=30u l=0.6u    MOS
m5  gnd vb1 cs gnd nch.0 w=40u l=0.6u
m6  cs inb m1 gnd nch.0 w=40u l=0.6u
r1  out fb 200                            抵抗
c1  out vee 2p                             コンデンサ
vdd vdd1 gnd vdd                          電源
vee vee gnd -1V

vin in gnd pulse (0 3.3 4.95n 0.1n 0.1n 4.9n 10n)
.end                                        入力信号源

```

Text Editor V3.6 FCS [vlsun100] - pda8.sp (edit)

File View Edit Find

```

PhotoNetArttingApp-pda8
*****
.lib '/home/spicelib/hs03lv13.lib' simox3
.option accurate
.option post=2
*****
.tran 0.01n 10n
*****
.subckt inv8 0 1 2 3
m1 0 1 2 0 nch w=32u l=0.24u
m2 3 1 2 3 pch w=64u l=0.24u
.ends
*****
.subckt inv1 0 1 2 3
m1 0 1 2 0 nch w=4u l=0.25u
m2 3 1 2 3 pch w=8u l=0.25u
.ends
*****
.subckt inv11 0 1 2 3
m1 0 1 2 0 nch w=4u l=0.24u
m2 3 1 2 3 pch w=8u l=0.24u
.ends
*****
x1 vg 1 2 30 inv8
x2 vg 2 4 31 inv8
x3 vg 4 5 32 inv8
x4 vg 5 6 33 inv8
m1b vg b1 b2 vg nch w=16u l=0.24u
m2b 3 b1 b2 3 pch w=43u l=0.24u
*rb b1 b2 10k
m3b 3 cm b1 3 pch w=8u l=0.24u
m4b b1 cm b2 vg nch w=8u l=0.24u
c1 6 vg 0.1p
*vdd1 30 0 vdd
*vdd2 31 0 vdd
*vdd3 32 0 vdd
*vdd4 33 0 vdd
*vddb 3 0 vdd
vddr 3rr 0 vdd
*lv vv 3rr 10nH
*lg vg 0 10nH
raa va 0 0.1
r1 3rr 30 1
r2 3rr 31 1
r3 3rr 32 1
r4 3rr 33 1
r5 3rr 3 1
Rf 1 b2 2K
cb b2 vg 1p
C1 1 0 0.001p
iin 1 0 pulse (0 50u 0.5n 0.01n 0.01n 1n 2n)
vcm cm 0 pw1 (0 0 0.4n 0 0.5n vdd 10n vdd)
.param vdd=2V
.alter
.param vdd=1.8V
.end

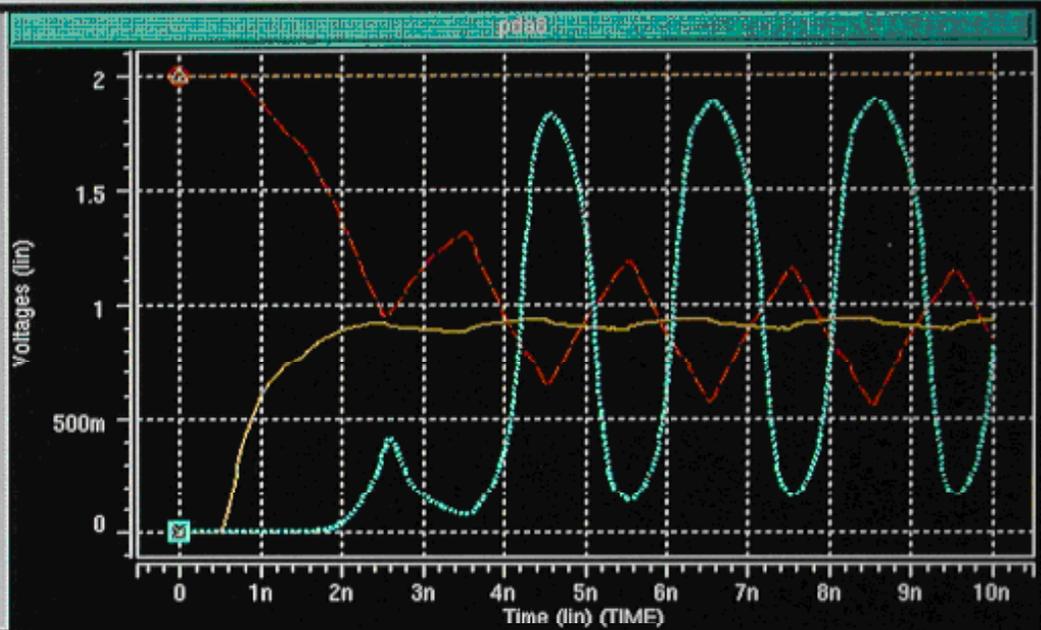
```

AvanWaves 97.4 (980105)

Design Panels Window Measure Configuration Tools Help

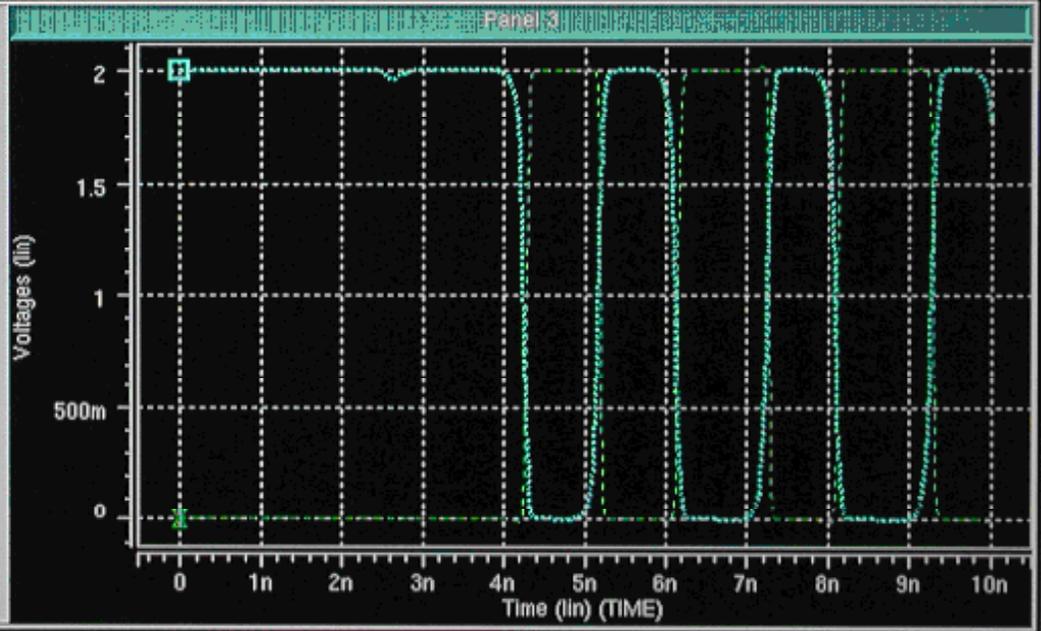
Wave List

- D1:A0:v(1)
- D1:A0:v(2)
- D1:A0:v(3)
- D1:A0:v(4)

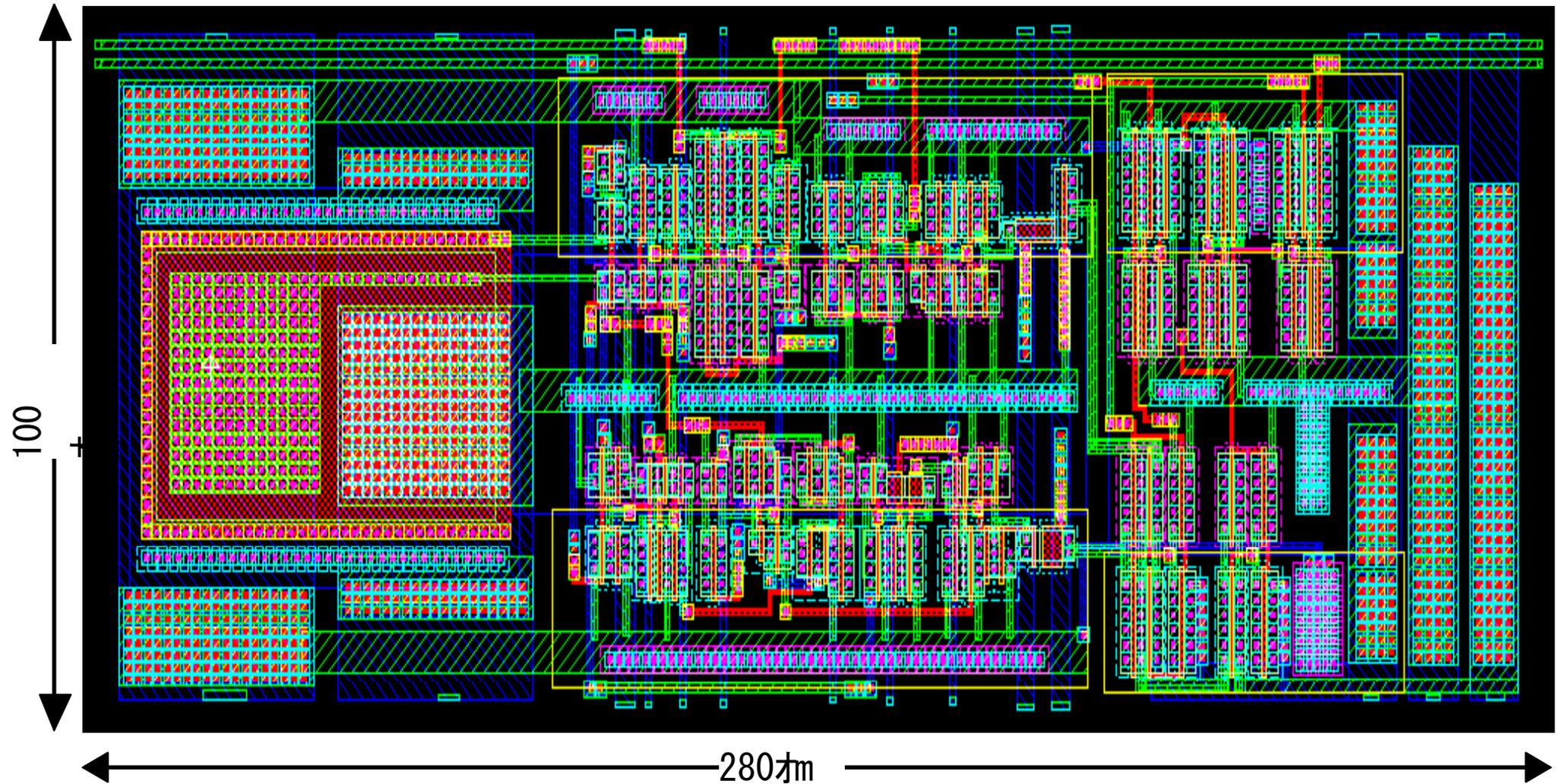


Wave List

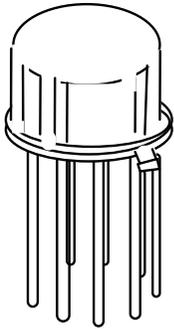
- D1:A0:v(5)
- D1:A0:v(6)



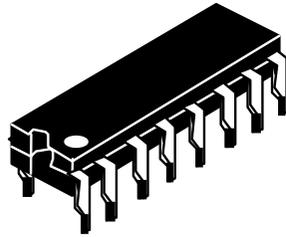
# レイアウト設計例



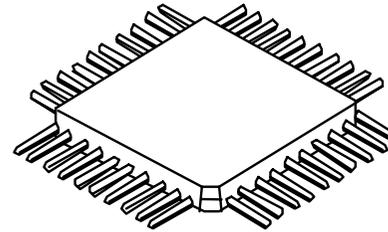
## 集積回路のパッケージ



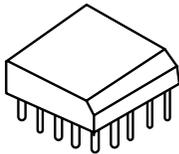
(a)キャンパッケージ



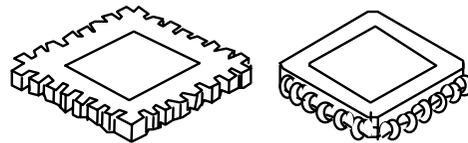
(b)デュアル・イン・ライン・  
パッケージ(DIP)



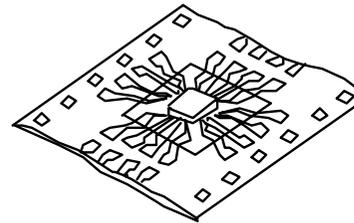
(c)フラットパッケージ(FP)



(d)ピン・グリッド・  
アレー(PGA)



(e)チップキャリア  
(LCC),(PLCC)



(f)テープキャリア(TAB)

# 集積回路の開発コスト

## 歩留まりの概念

$$\frac{\text{ウエハ製造コスト}}{\text{チップ数} \times \text{チップ歩留り}}$$

チップサイズ縮小      設計リファイン

$$\text{LSIコスト} = \frac{\text{開発費}}{\text{生産個数}} + \text{量産プロセスコスト} + \text{組立コスト} + \text{検査コスト}$$

組立歩留り, 検査歩留りはほぼ1とする

$$\text{開発費} = \text{設計コスト} + \text{試作プロセスコスト} + \text{評価コスト}$$