

第2章 集積回路のデバイス

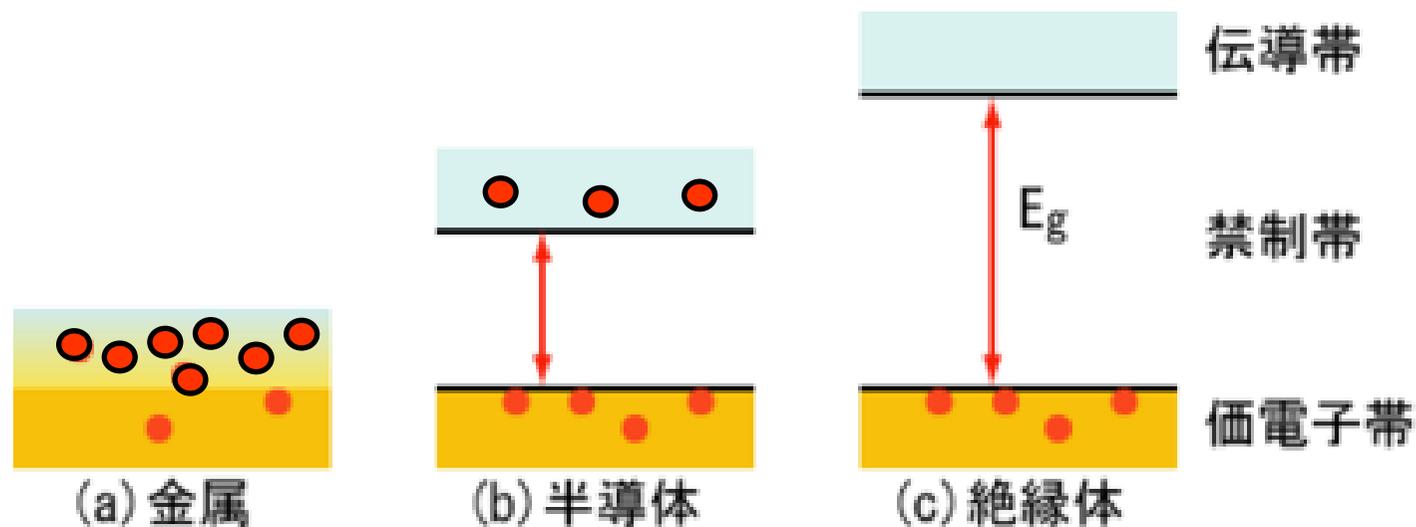
MOSTランジスタ
ダイオード
抵抗
容量
インダクタンス
配線

半導体とは？

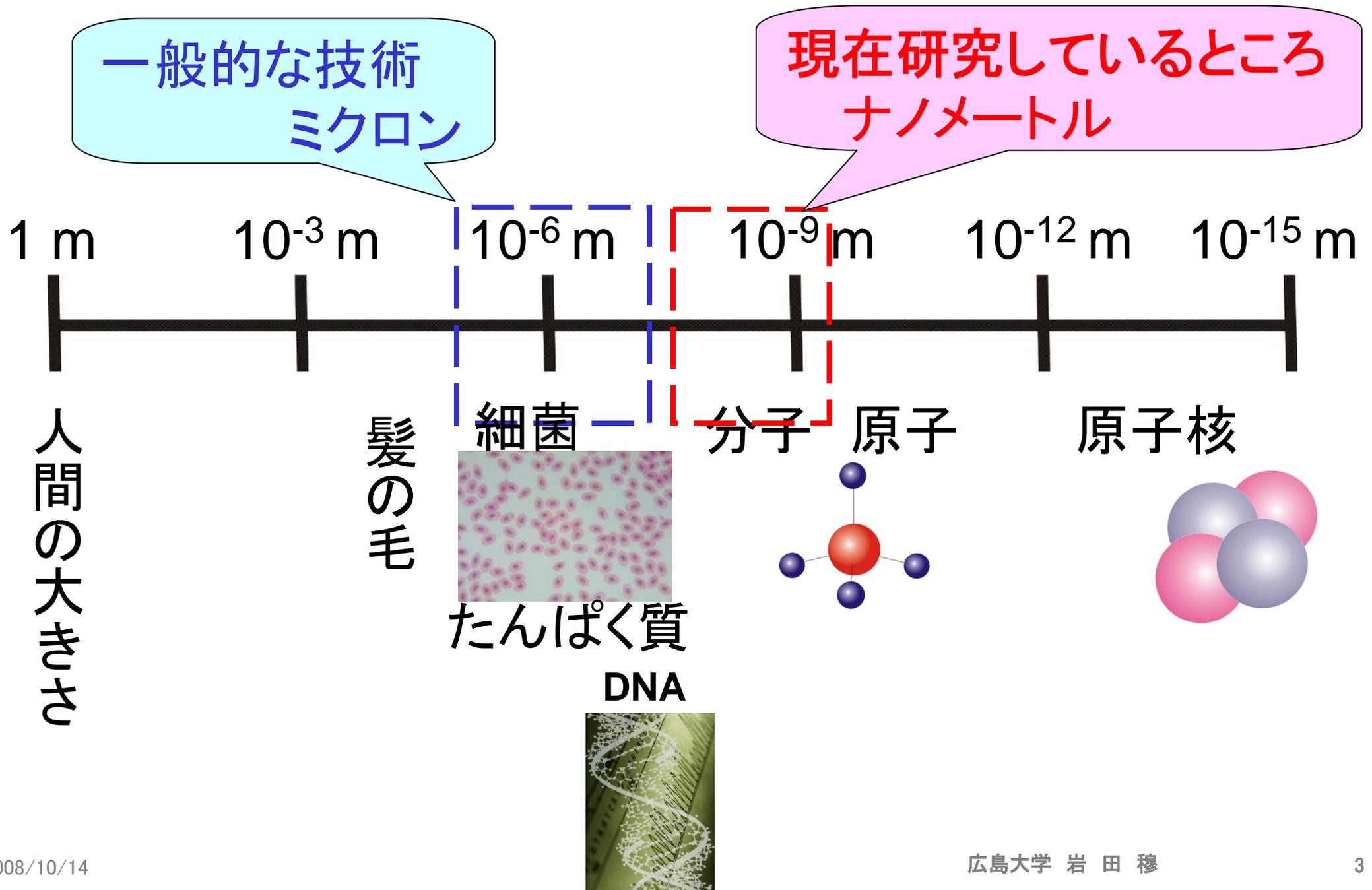
- 電気を通す鉄、アルミニウムなどの金属は**導体**
- 電気を通さないガラス、ゴムなどは**絶縁体**
- 電気を通したり，通さなかったり，条件によって，導体と絶縁体の両方の性質を持つことのできる物質を**半導体**

半導体の代表例はシリコン

電気伝導率

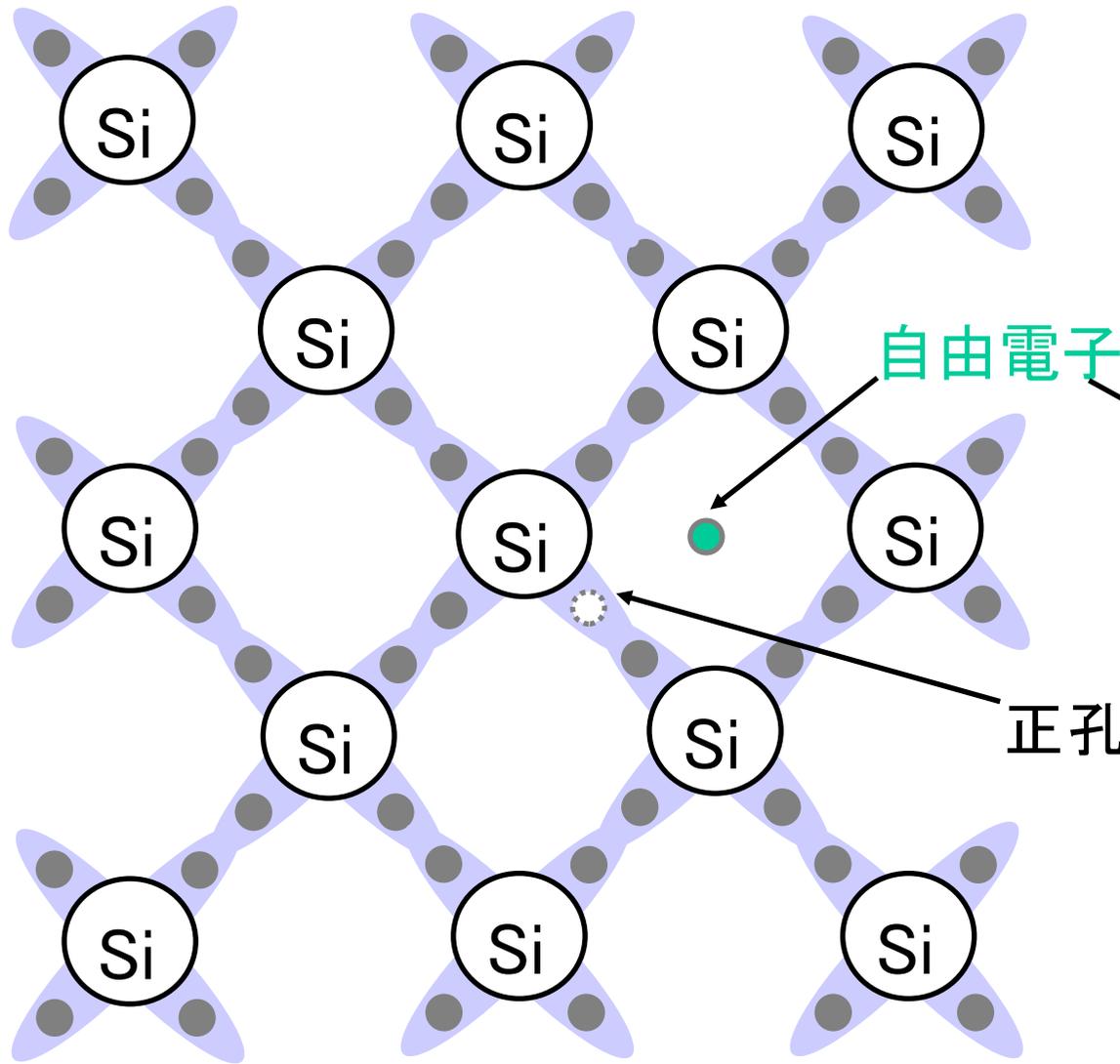


半導体技術で扱っている大きさ



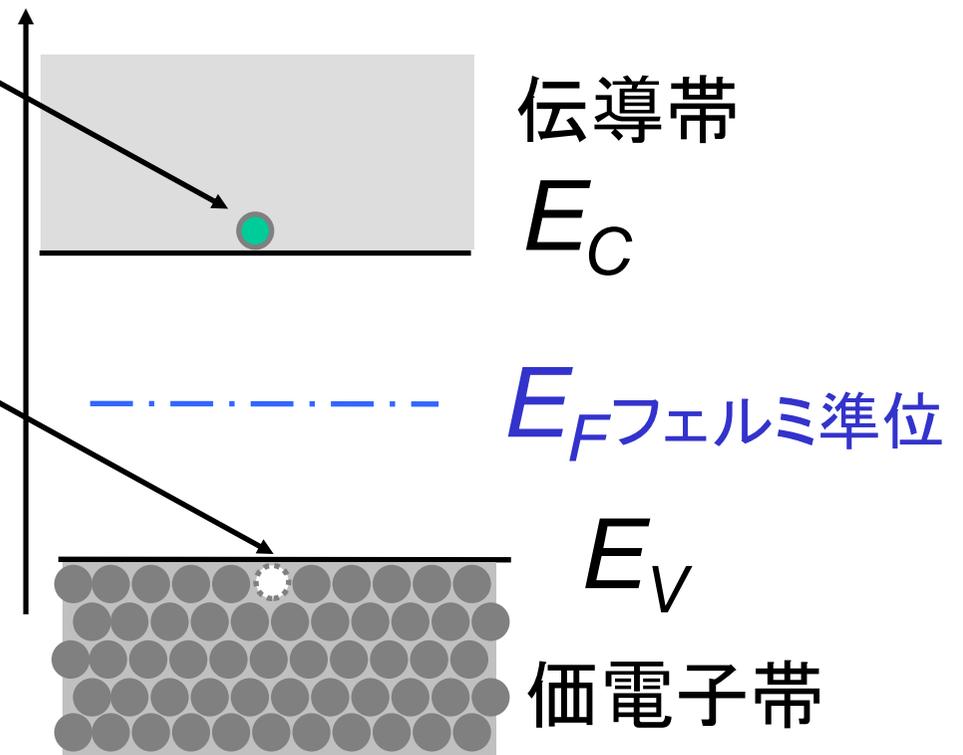
真性半導体

自由に動ける電子は少ないので
電気伝導度は低い
抵抗は高い

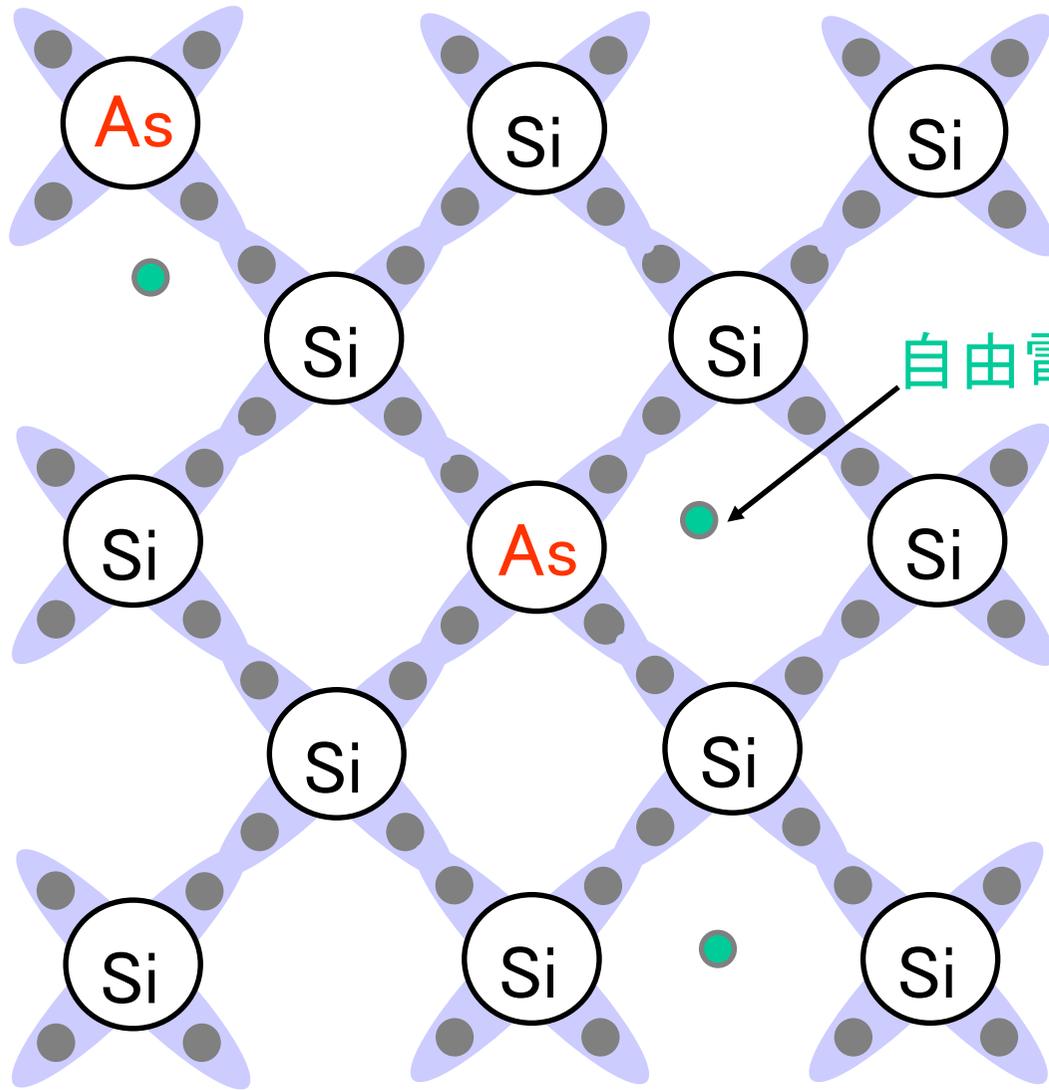


半導体バンド構造

電子の対するポテンシャル



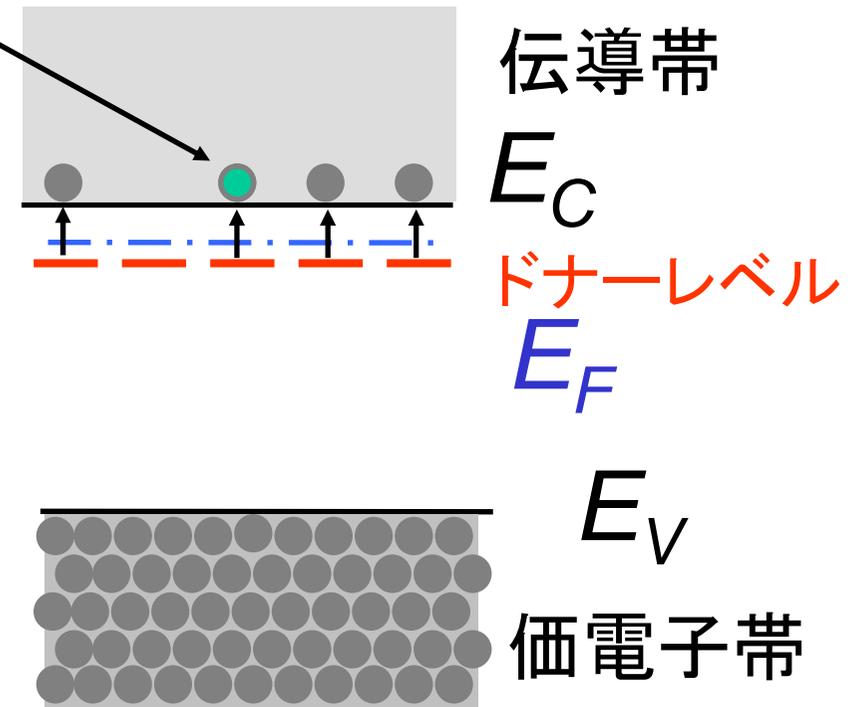
n型半導体



自由電子は多いので
電気伝導度は高い
抵抗は低い

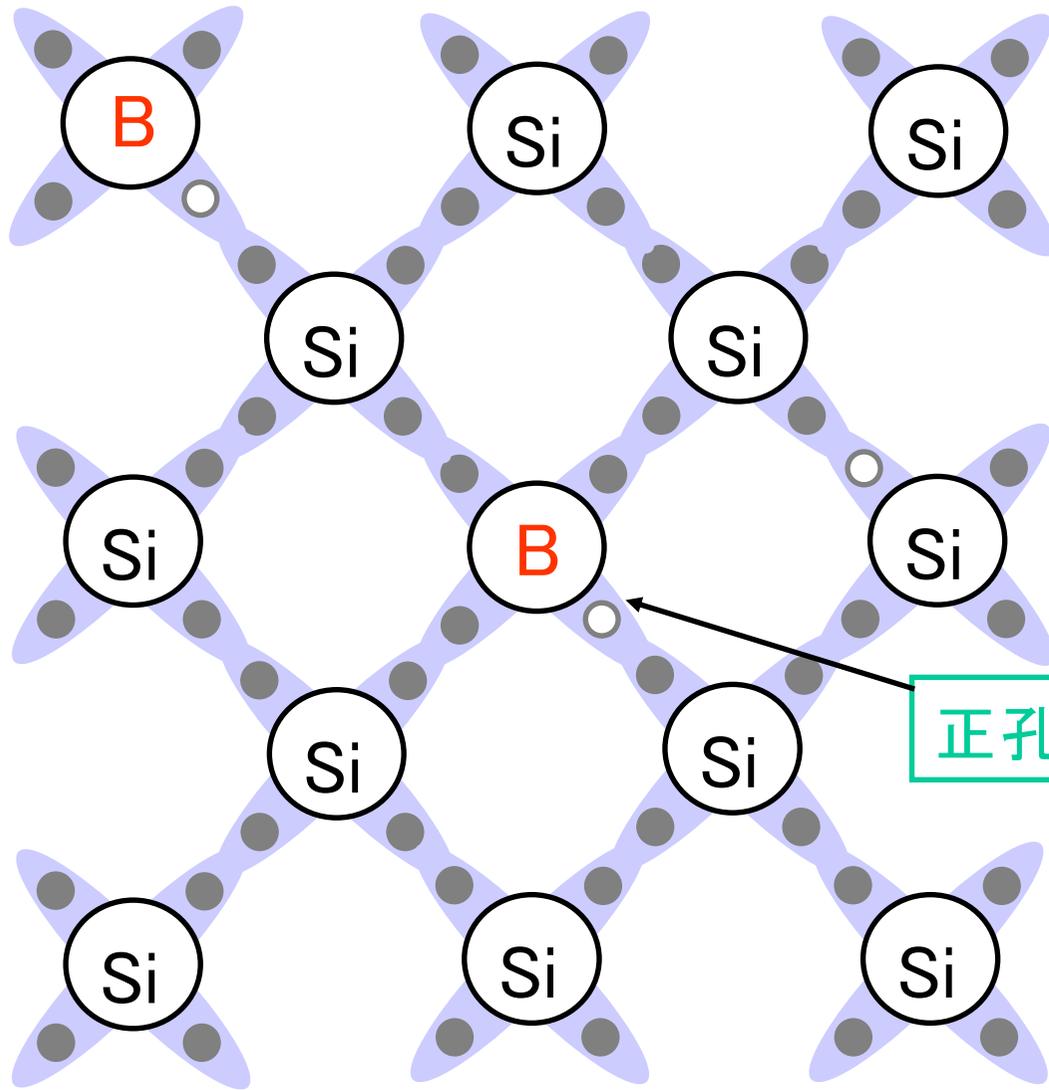
半導体バンド構造

電子の対するポテンシャル



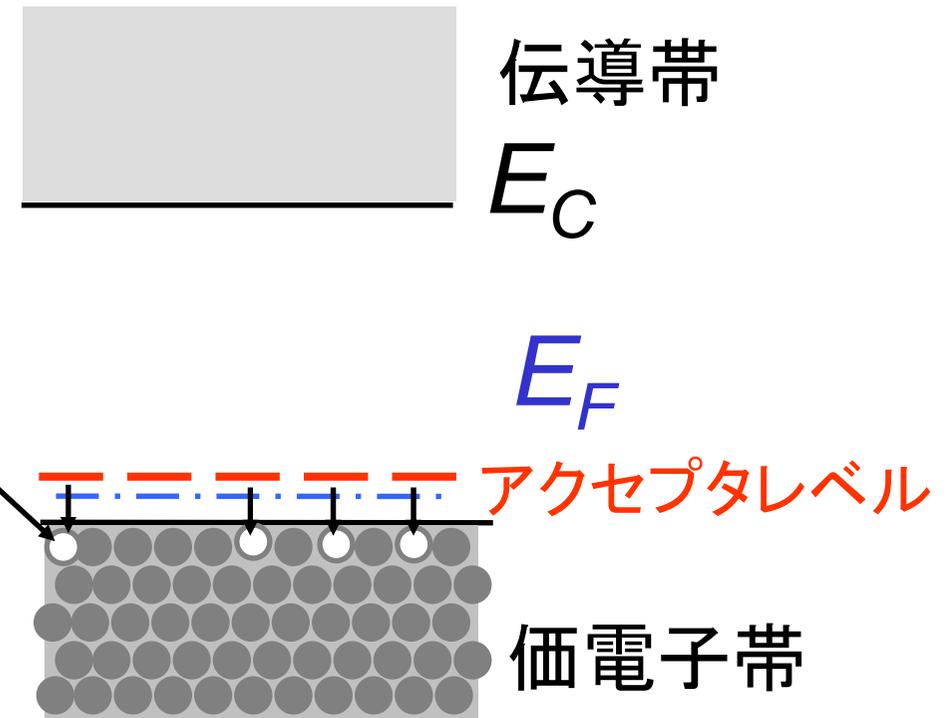
p型半導体

正孔は多いので
電気伝導度は高い
抵抗は低い



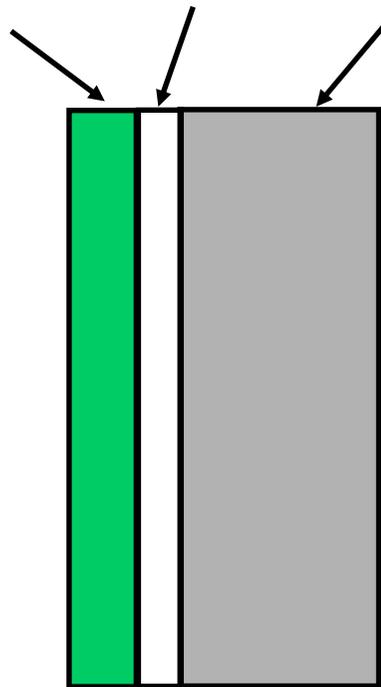
半導体バンド構造

電子の対するポテンシャル

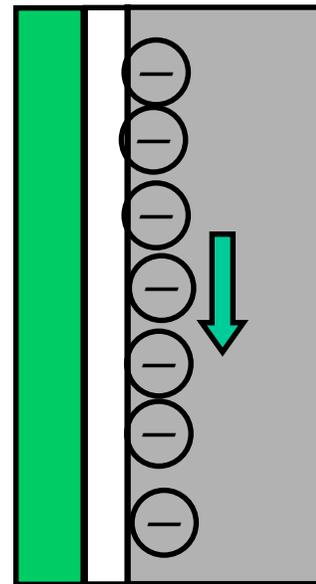


MOS構造とp型半導体の電導率制御

金属 Oxide p型半導体
Metal Oxide p-type Semiconductor



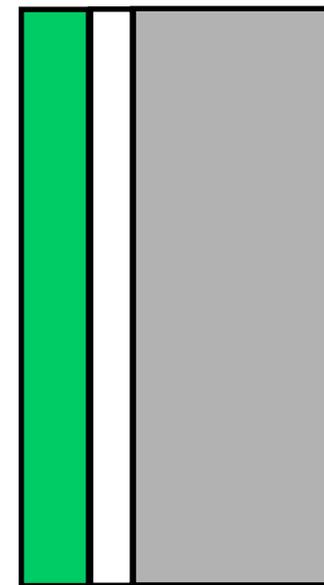
メタルに正電圧
を与えると



半導体の表面に
電子が誘起され
導体に近くなる

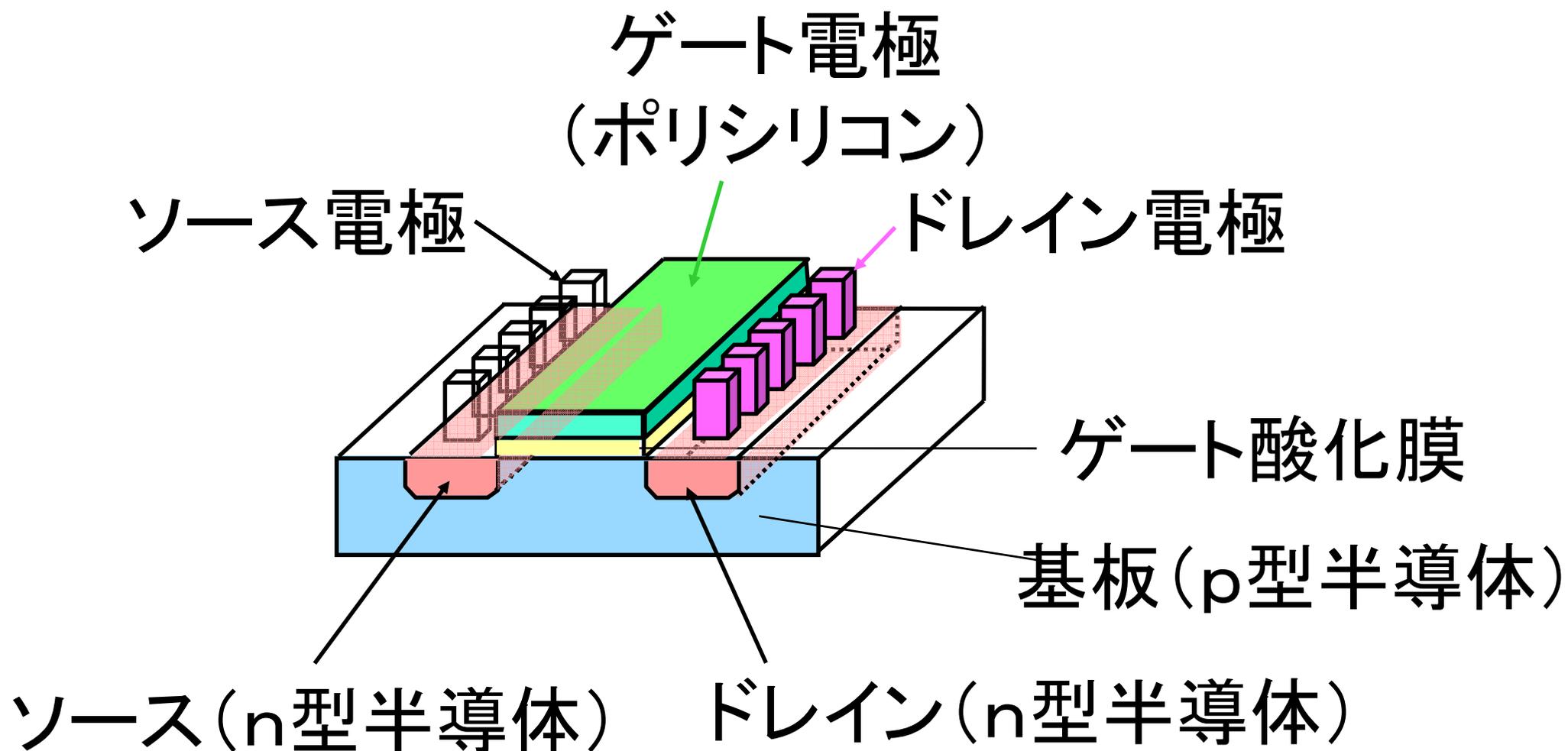
メタルに負電圧
を与えると

負電圧

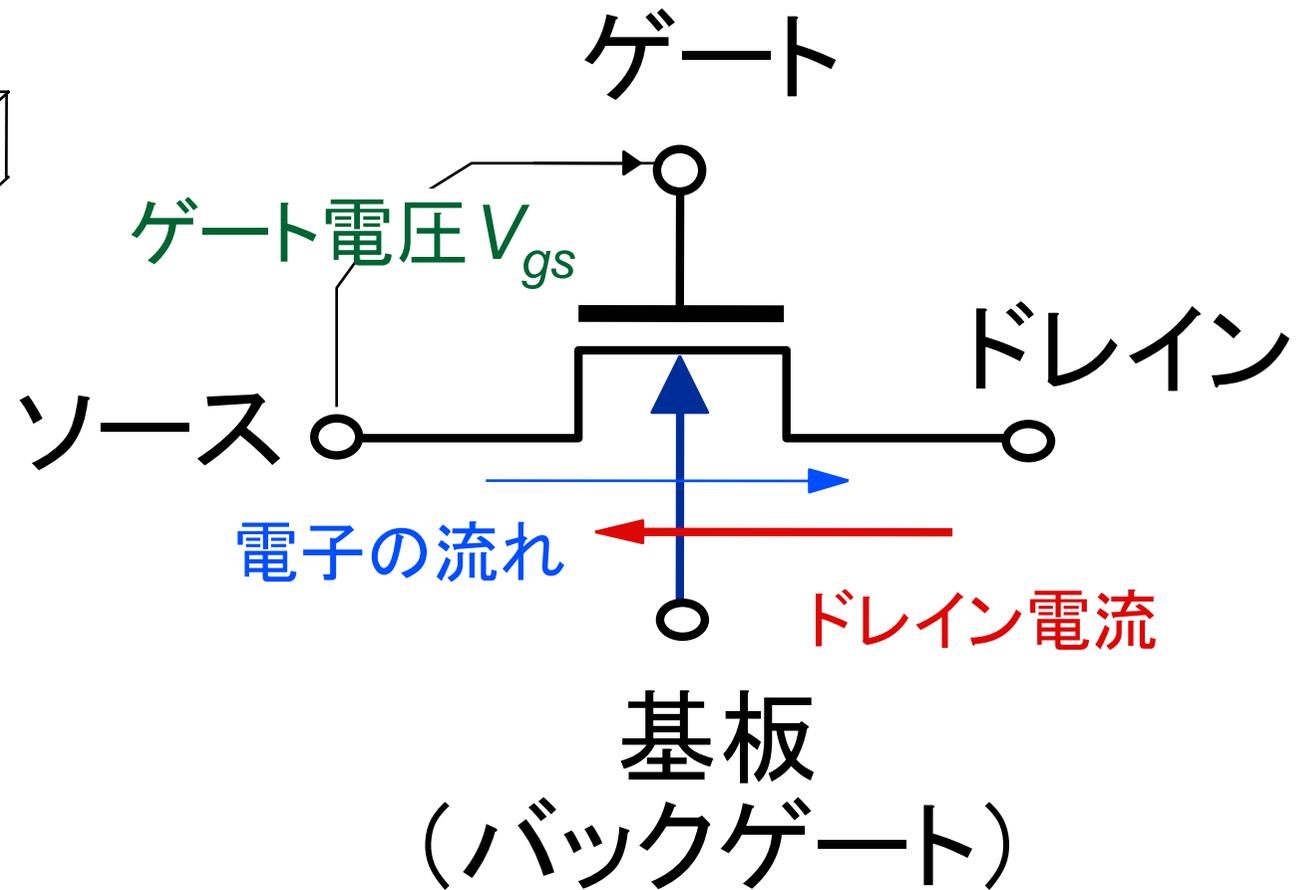
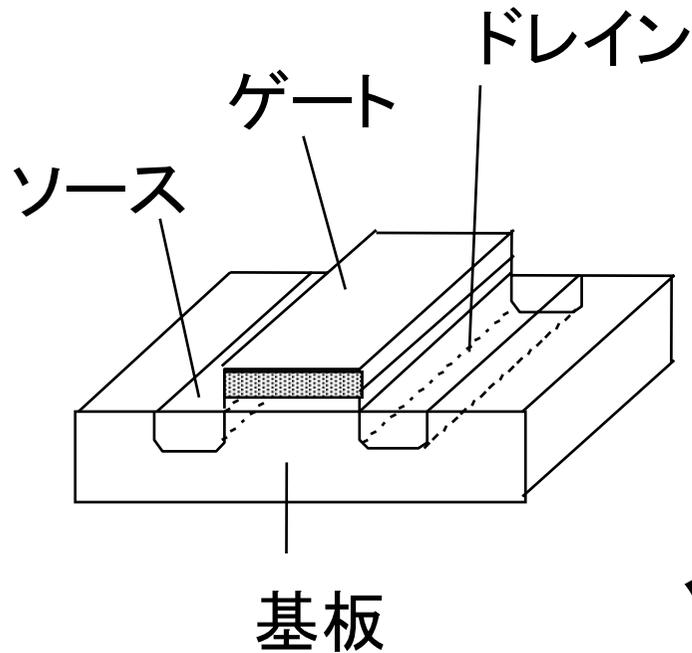


半導体の表面に
電子が誘起されず
絶縁体に近くなる

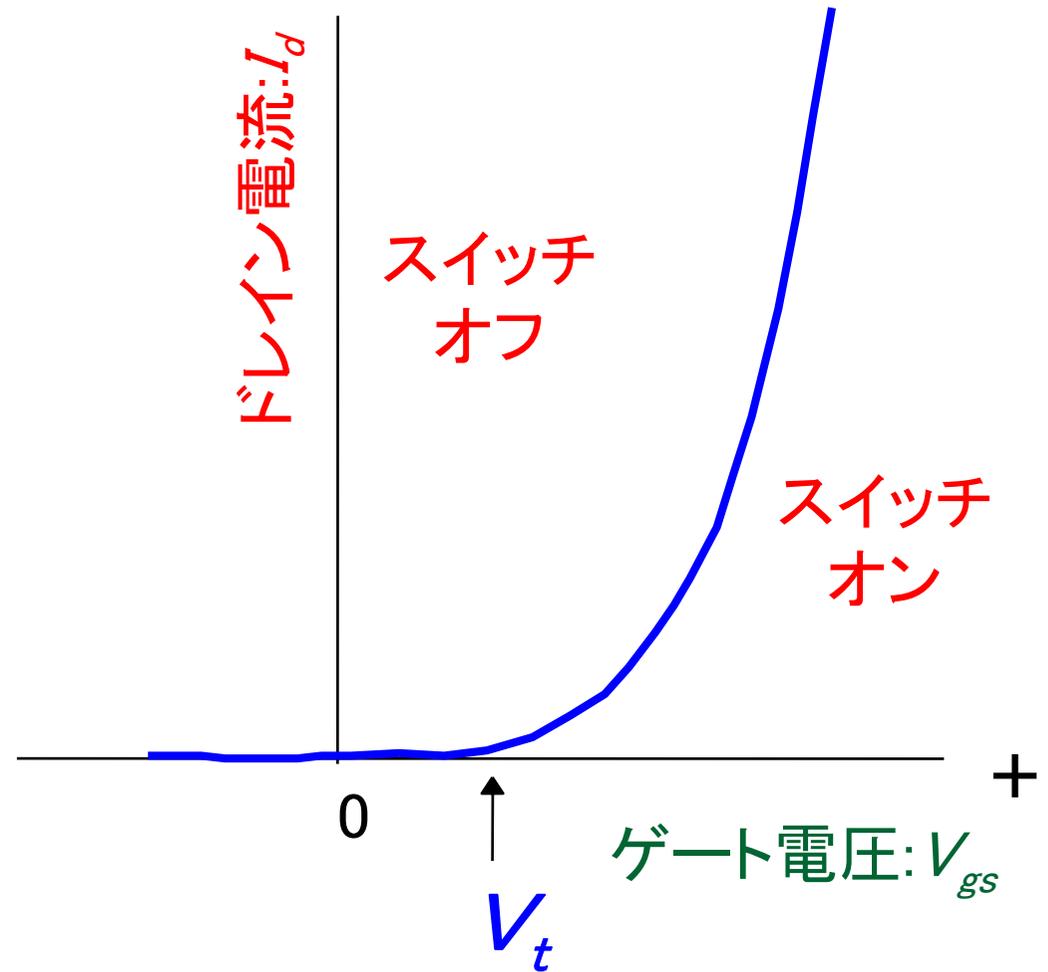
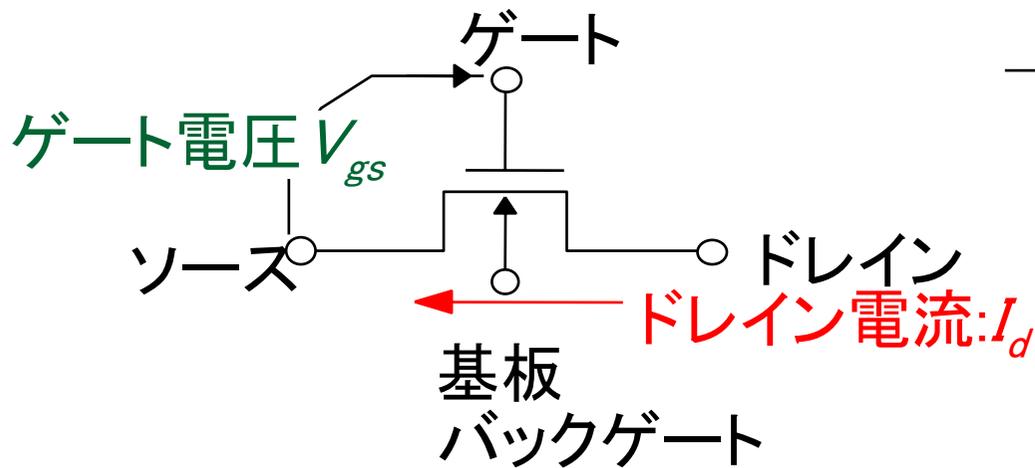
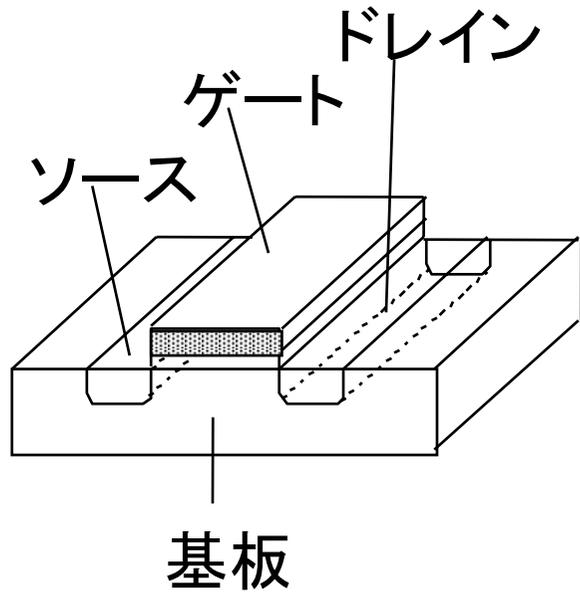
nチャネルMOS(n-MOS)トランジスタの構造



n-MOSトランジスタの回路記号



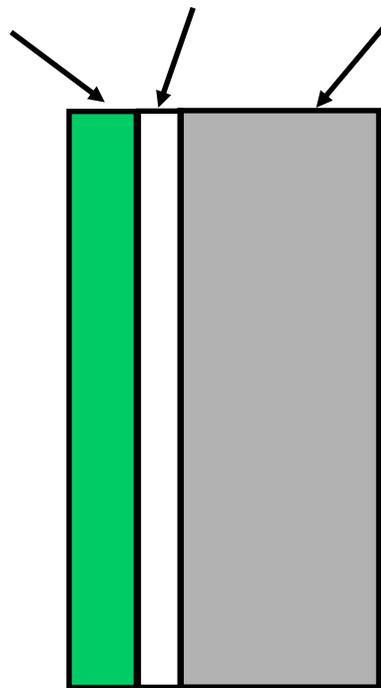
n-MOSトランジスタの特性



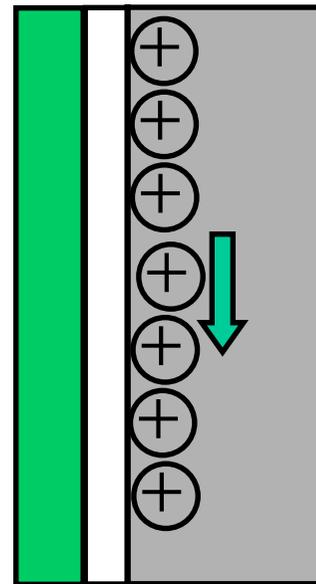
V_t : MOSのしきい値電圧

MOS構造とn型半導体の電導率制御

金属 酸化膜 n型半導体
Metal Oxide n-type Semiconductor

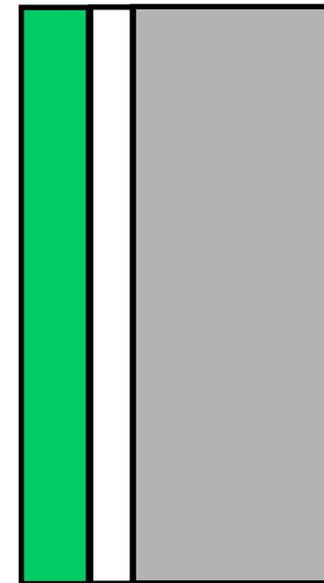


メタルに負電圧
を与えると



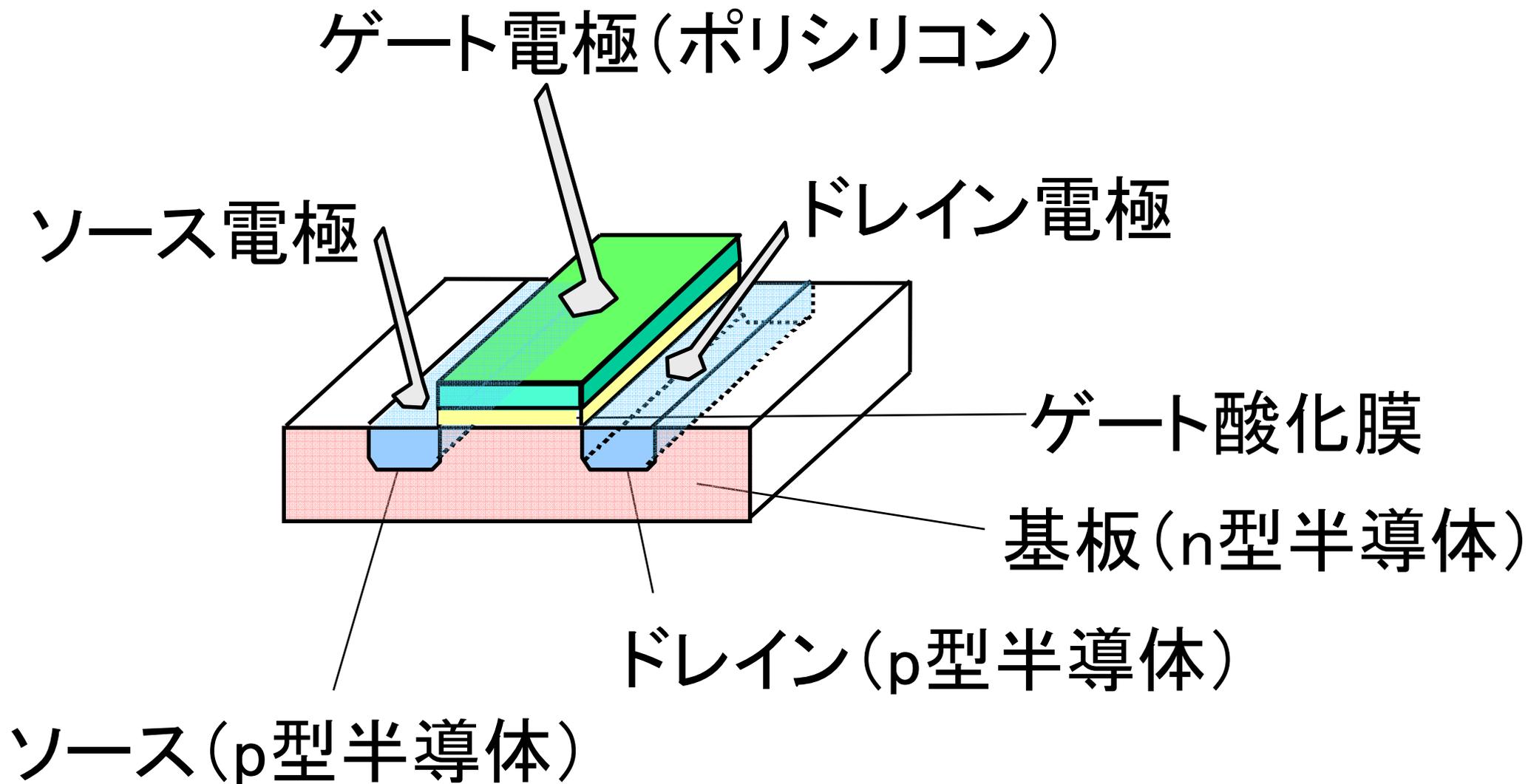
半導体の表面に
生孔が誘起され
導体に近くなる

メタルに正電圧
を与えると

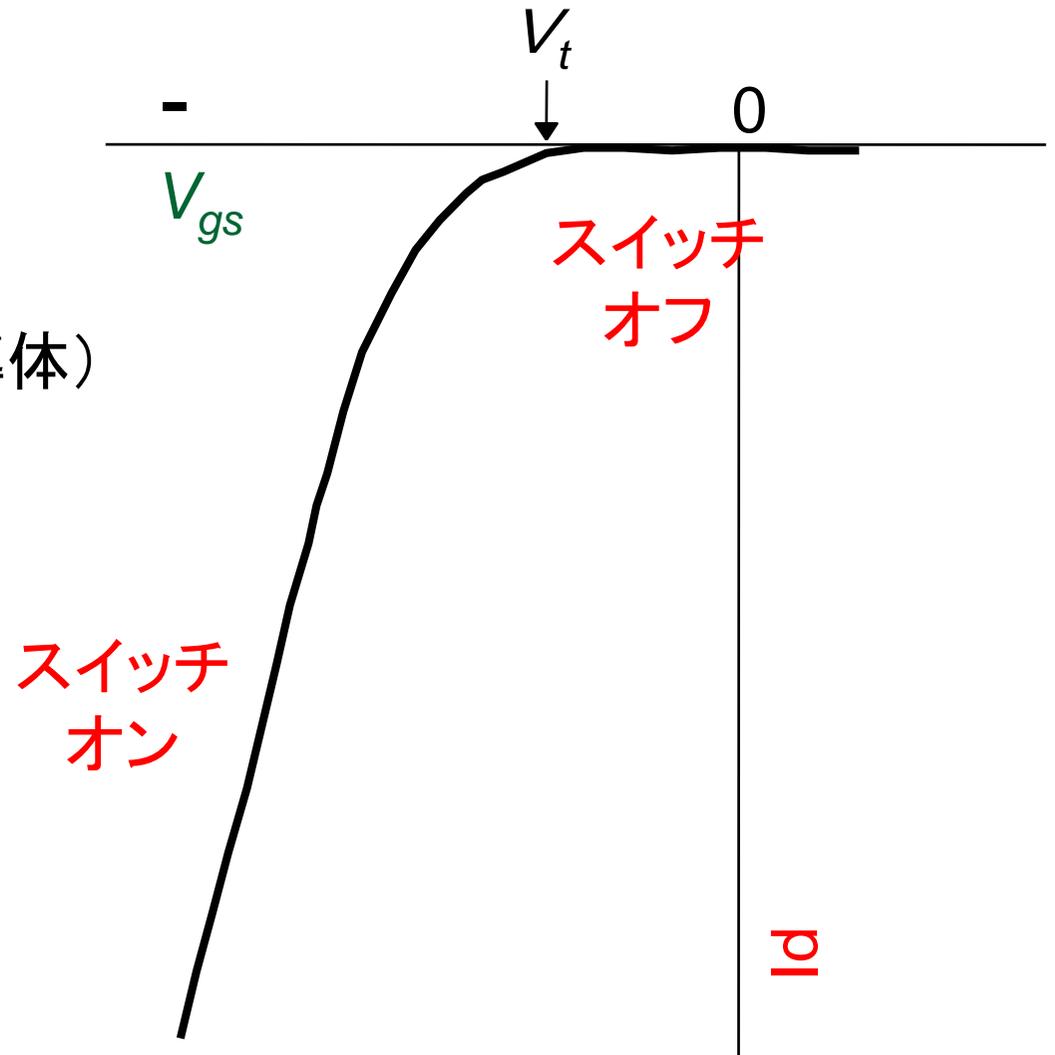
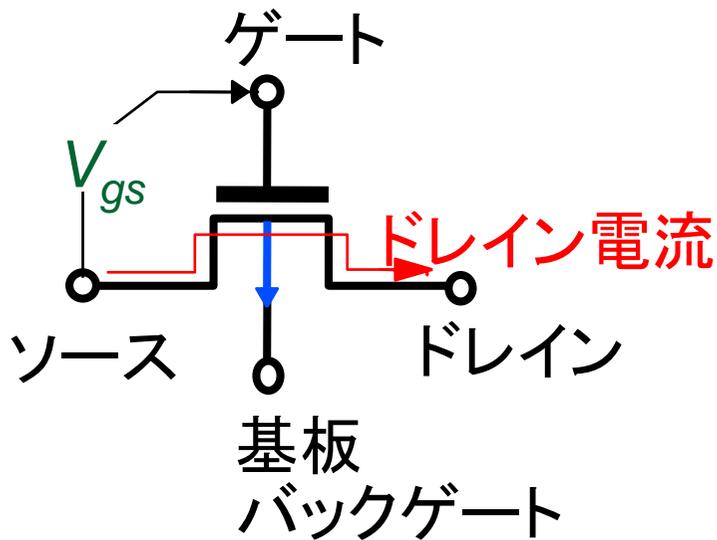
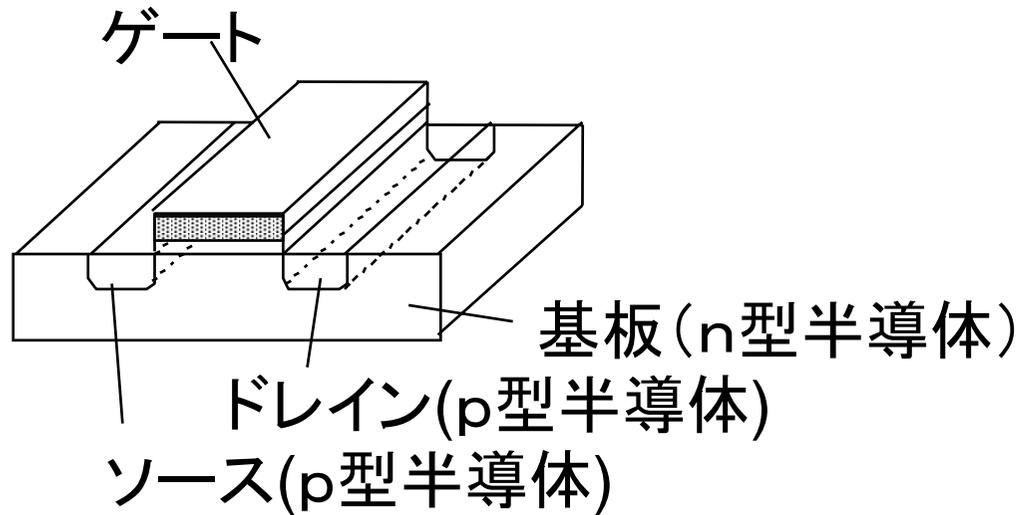


半導体の表面に
電子が誘起されず
絶縁体に近くなる

pチャネルMOS(p-MOS)トランジスタの構造

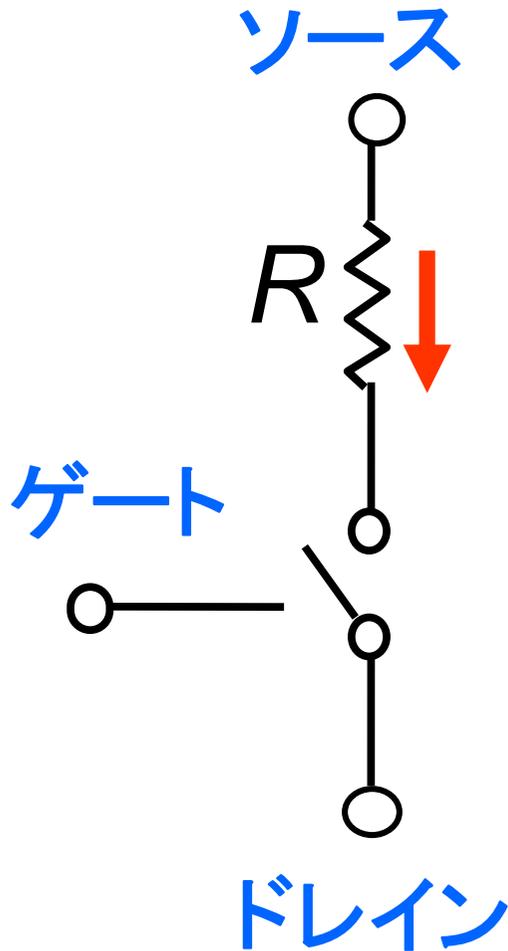


pチャネルMOSトランジスタの構造と特性

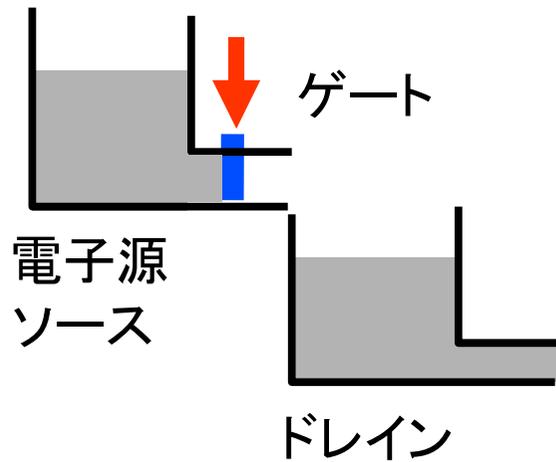


MOSTランジスタのスイッチモデル

蛇口モデル

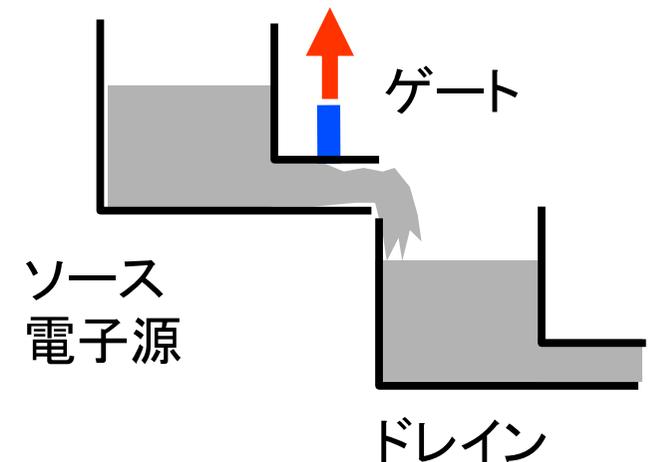


スイッチOFF状態



ゲートが閉じて
水(電子)は
流れない

スイッチON状態

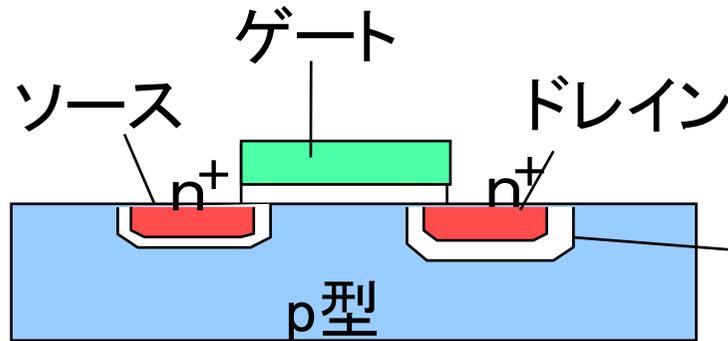


ゲートが開いて
水(電子)が
流れる

MOSTランジスタの電圧電流特性

遮断領域

$$V_{gs} < V_t$$



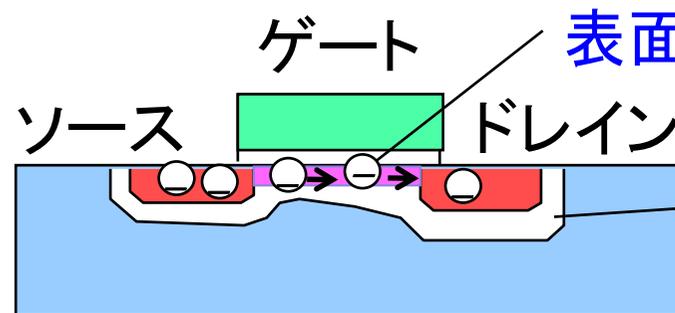
V_t : しきい値電圧

空乏層
(電子も正孔も存在しない)

ゲート電圧がしきい値電圧より低い場合ソース-基板, ドレイン-基板は逆バイアスのpn接合であるので電流は流れない: **スイッチオフの状態**

線形領域

$$V_{gs} > V_t$$



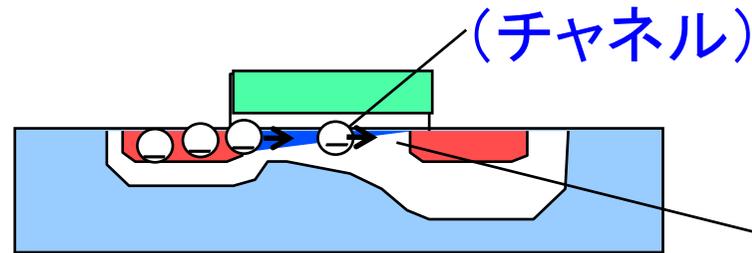
表面反転層 (チャネル)

空乏層
(電子も正孔も存在しない)

ゲート電圧をしきい値電圧(V_t)より上げるとシリコン表面に静電誘導で可動電子が多数存在するn型**表面反転層 (チャネル)**ができる
可動電子が多数存在するn型**ソース、ドレイン**が**チャネル**でつながった状態になるソース・ドレインの電圧に比例した電流が流れる

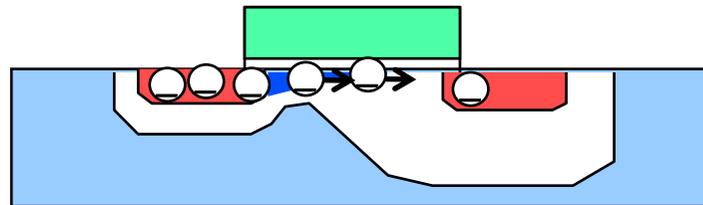
MOSトランジスタの電圧電流特性

ピンチオフ

 V_{ds} 増加飽和の開始
ピンチオフ点

ドレイン電圧が上がると、ドレインからの電界の影響でドレイン近傍に電子が存在できなくなり、チャネル右端がドレイン左端に等しくなる時をピンチオフという

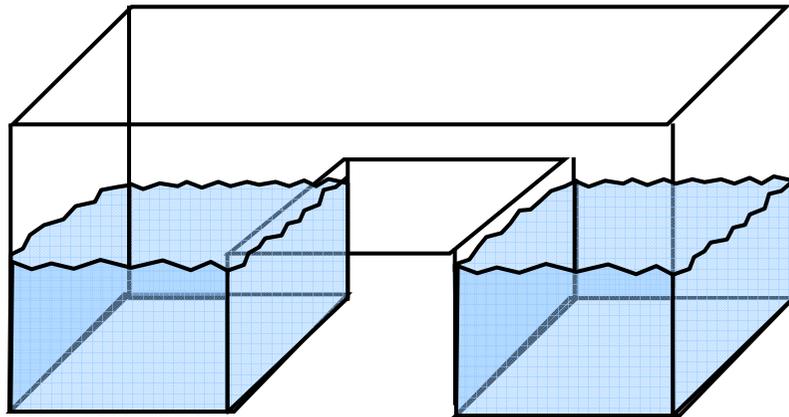
飽和領域

 V_{ds} 増加 $V_{gs} > V_t$ 

ドレイン電圧がさらに上がるとチャネルはドレインから離れる。
チャネルとドレイン間は空乏層であるがドレインの強い電界により、この空乏層のキャリアは高速にドレインに吸収される。
ドレイン電圧はこの空乏層にかかり、流れる電流はチャネルのキャリア密度により、ソース・ドレイン間電圧によらない一定の値となる。
ドレイン電流がドレイン電圧に対して飽和する

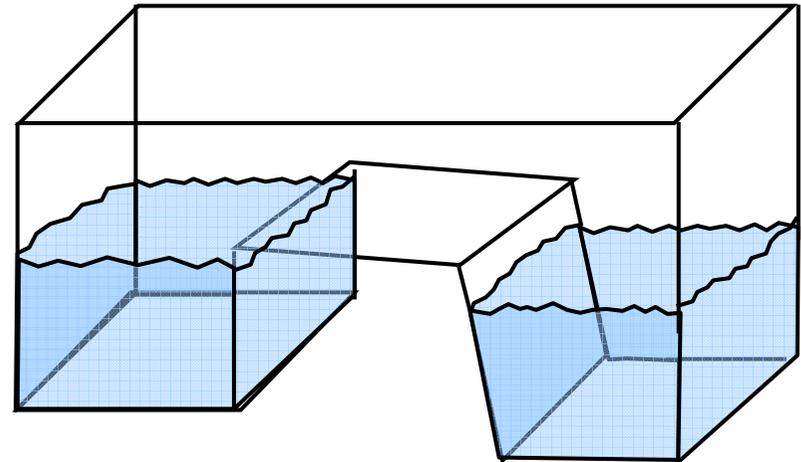
MOS の動作の様子(遮断領域, 線形領域)

$V_{gs}=0V \quad V_{ds}=0V$

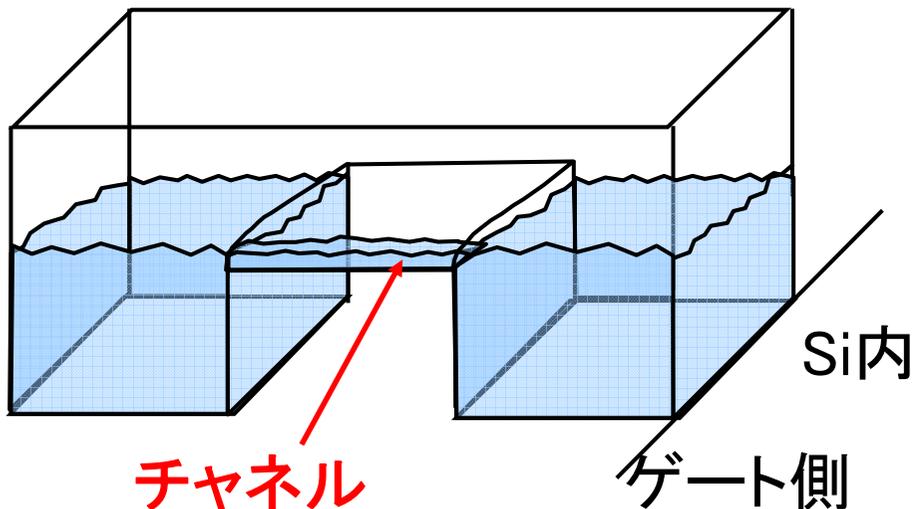


ソース ゲート ドレイン

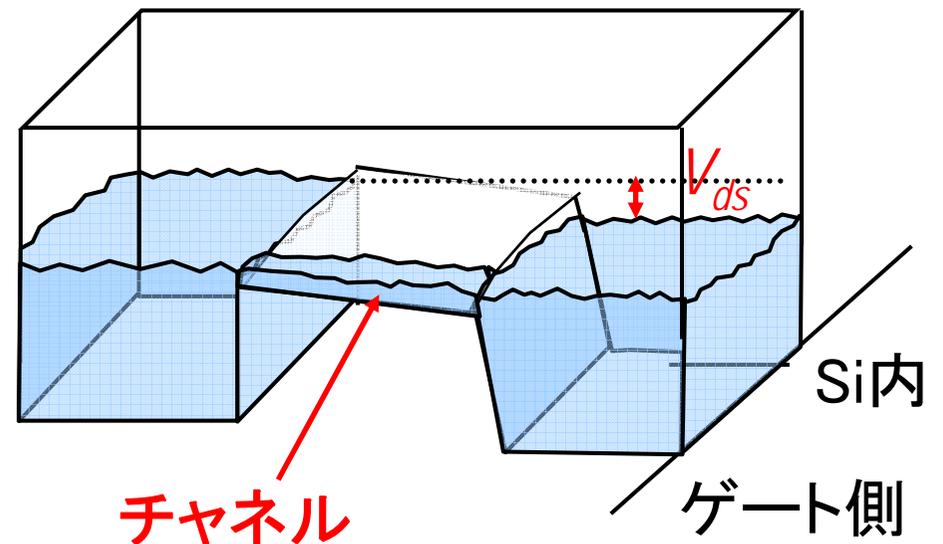
$V_{gs}=0V \quad V_{ds}>0V$



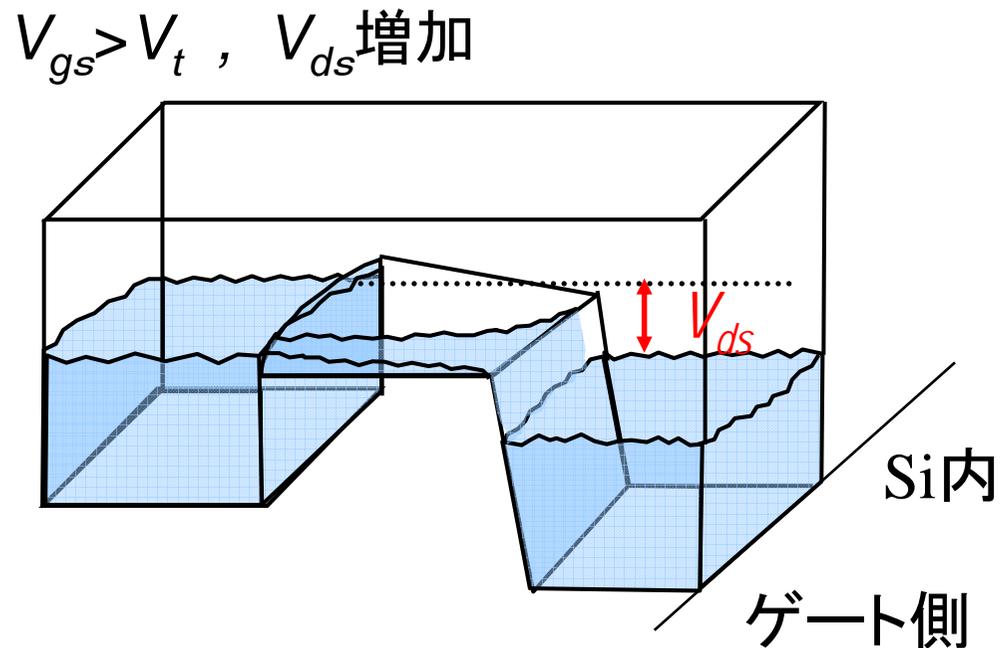
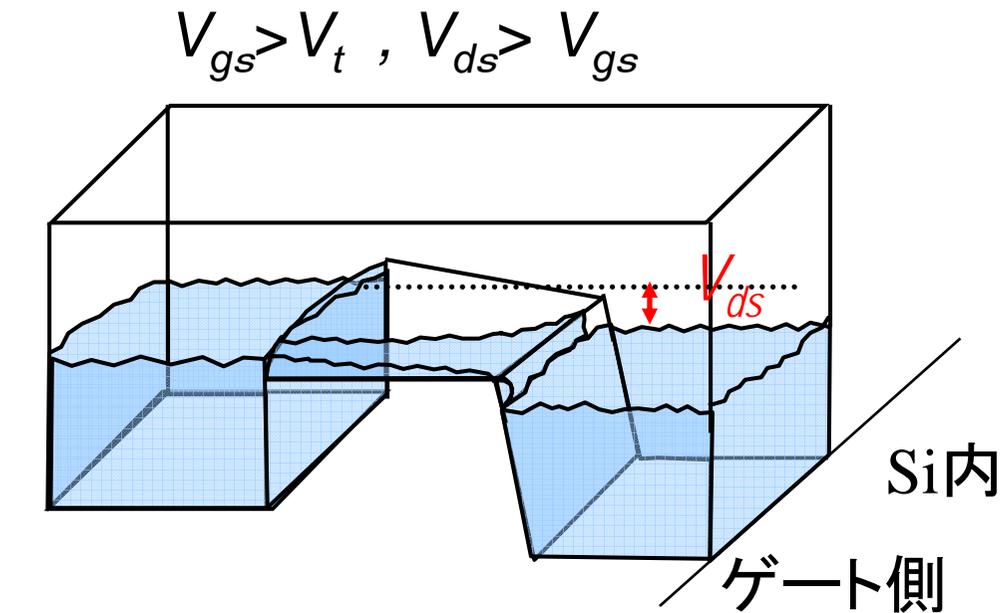
$V_{gs}>V_t \quad V_{ds}=0V$



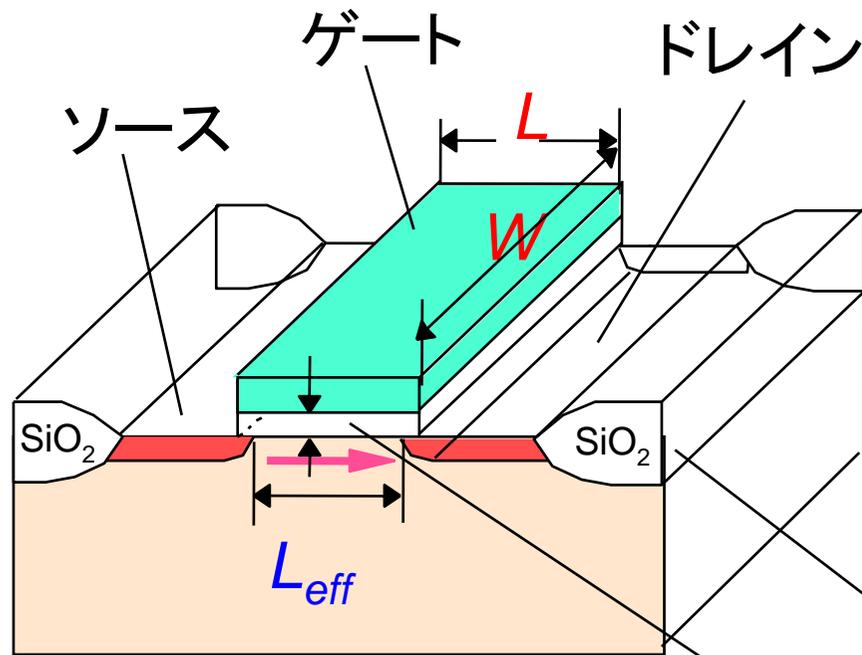
$V_{gs}>V_t \quad V_{ds}<V_{gs}$



MOS の飽和領域動作の様子



詳細なMOSトランジスタの構造(1)



W : チャンネル幅

L : チャンネル長

0.35 μm 技術とは

$$L = 0.35 \mu\text{m}$$

L_{eff} : 実効チャンネル長

$$L_{\text{eff}} = L - \Delta L$$

ソース, ドレインがゲートの
下に入っているので

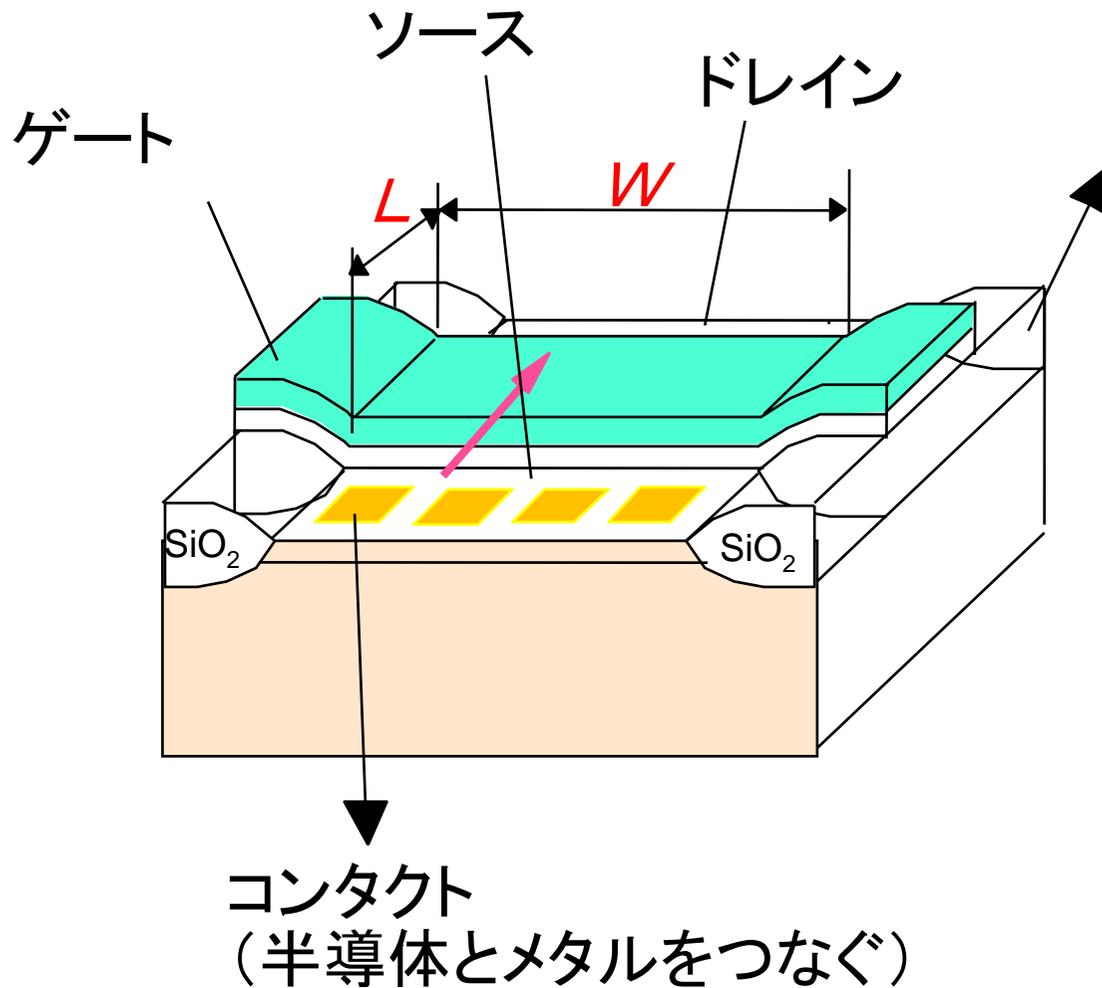
フィールド酸化膜 ($\sim 1 \mu\text{m}$)

t_{ox} : ゲート酸化膜の厚さ

シリコン基板

→
キャリアの流れる方向

詳細なMOSトランジスタの構造(2)

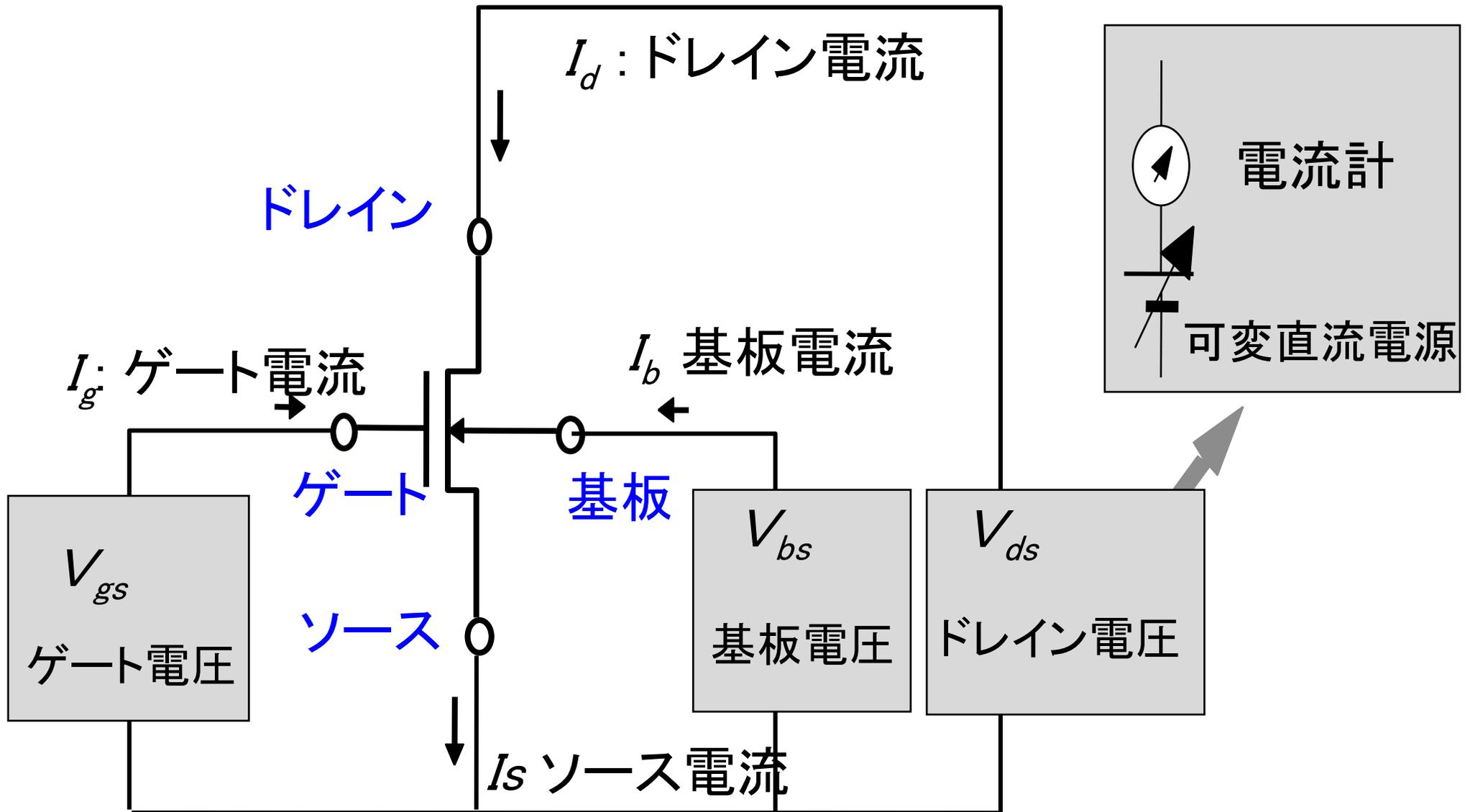


MOSの周りはフィールド酸化膜で囲まれている。

フィールド酸化膜が無いところにMOSができる

アクティブ領域という

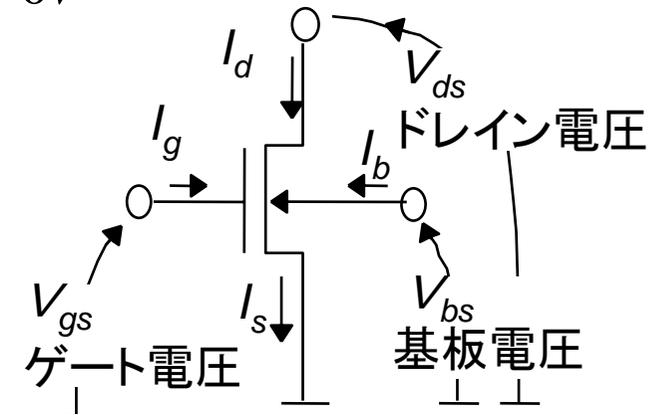
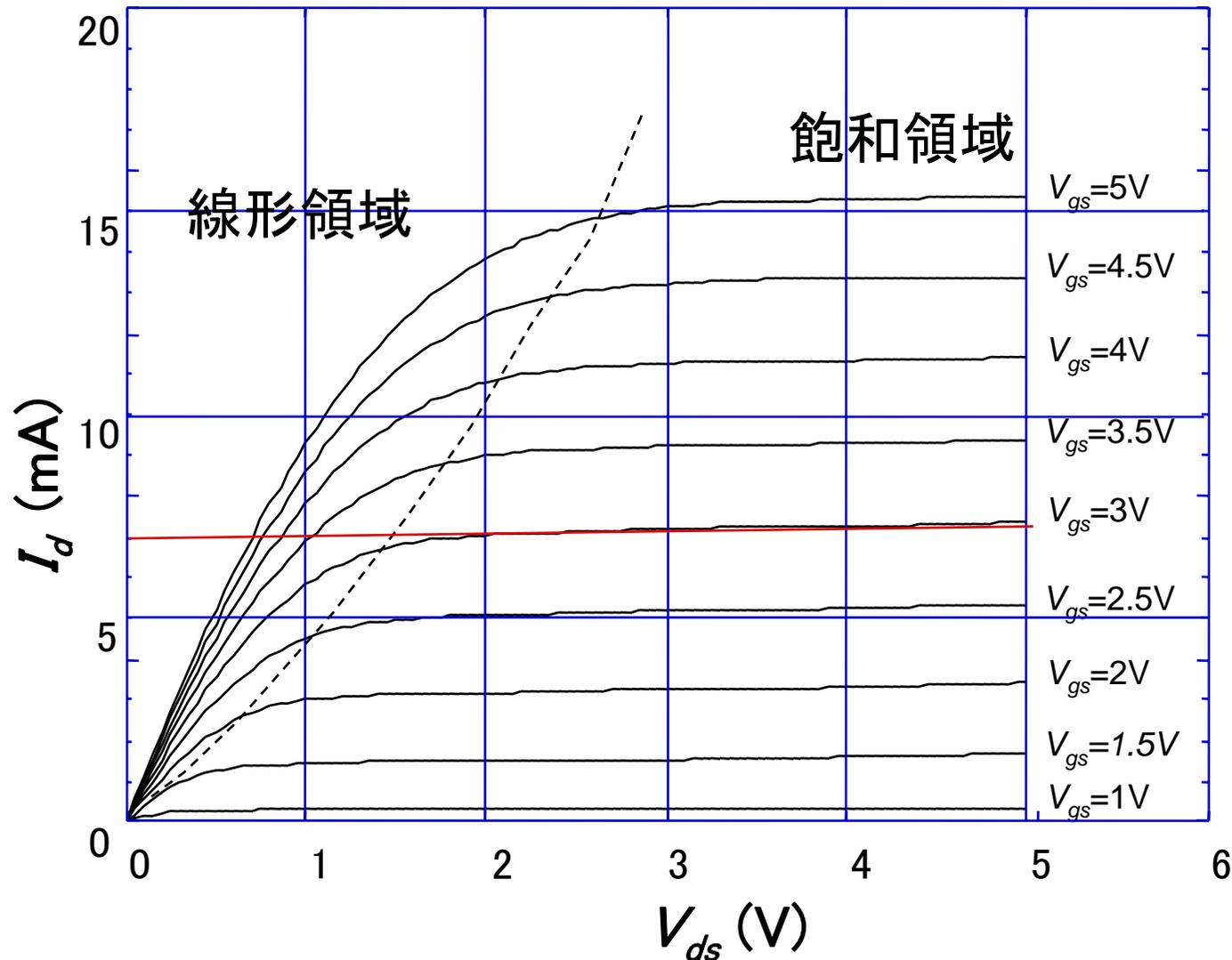
トランジスタの直流特性測定



電圧電流特性(実測値)

$$I_d - V_{ds} (0.8 \mu\text{mnMOS})$$

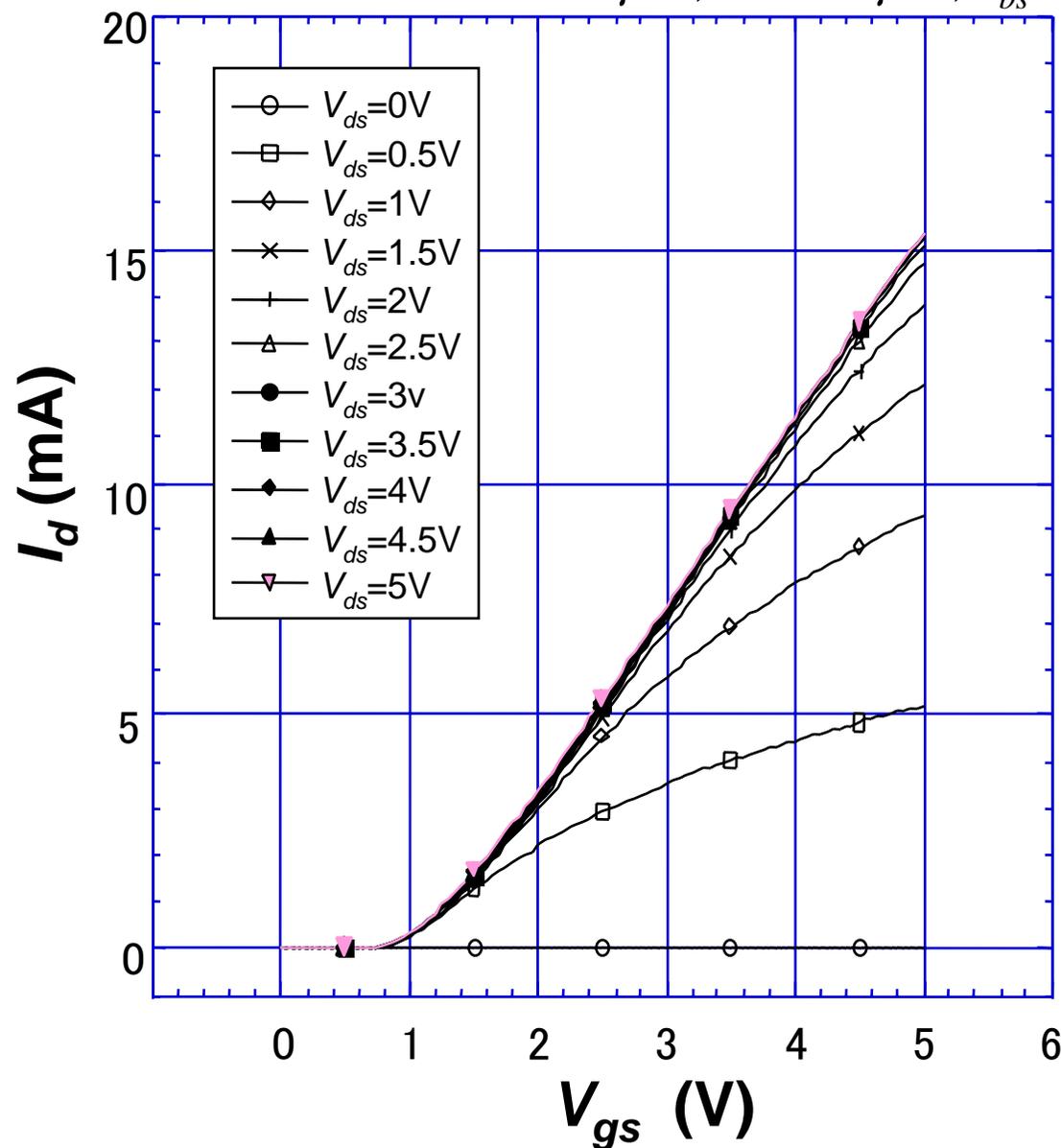
$$W = 50 \mu\text{m}, L = 0.8 \mu\text{m}, V_{bs} = 0\text{V}$$



電圧電流特性

$$I_d - V_{gs} (0.8 \mu\text{m nMOS})$$

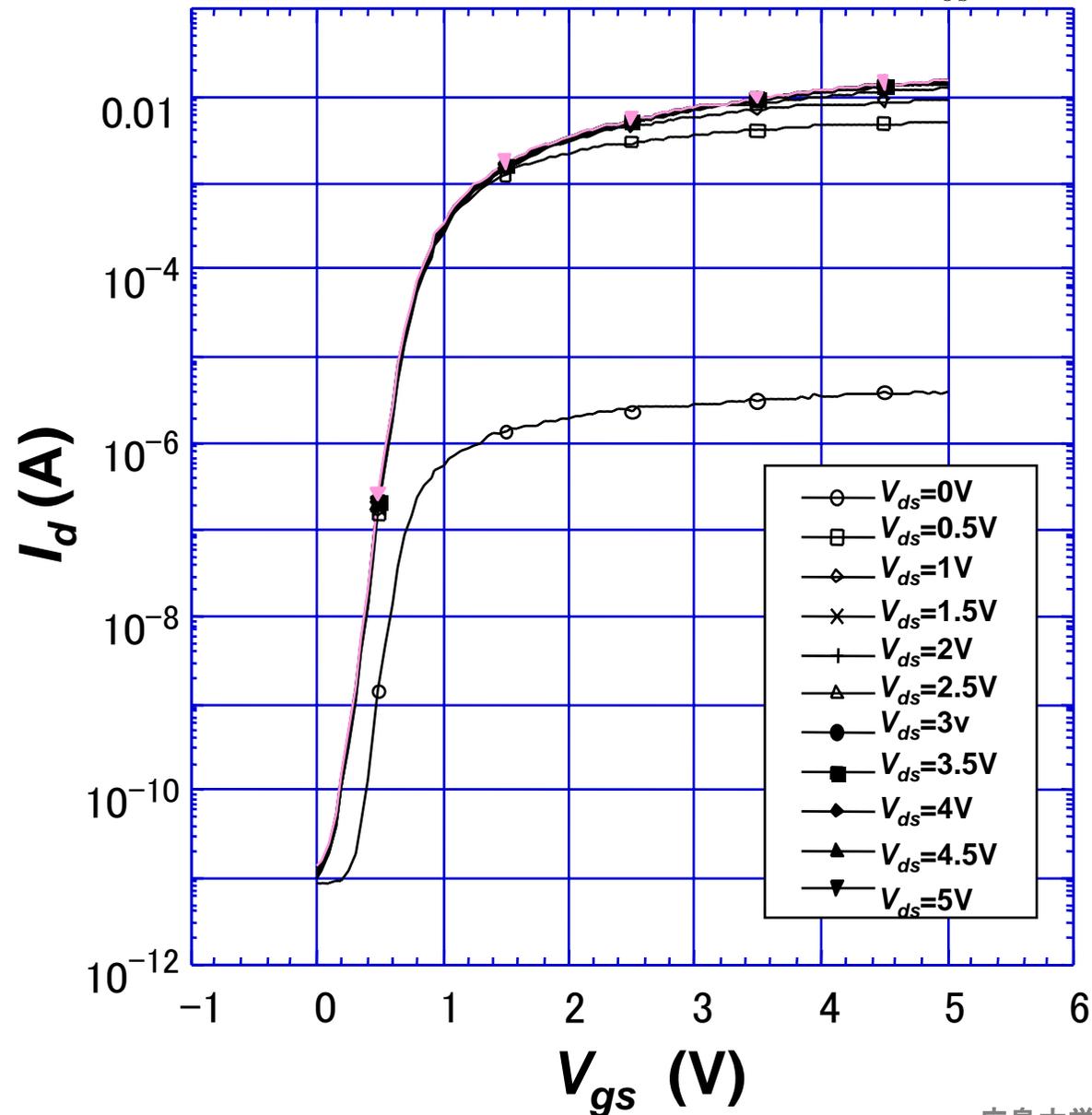
$$W = 50 \mu\text{m}, L = 0.8 \mu\text{m}, V_{bs} = 0\text{V}$$



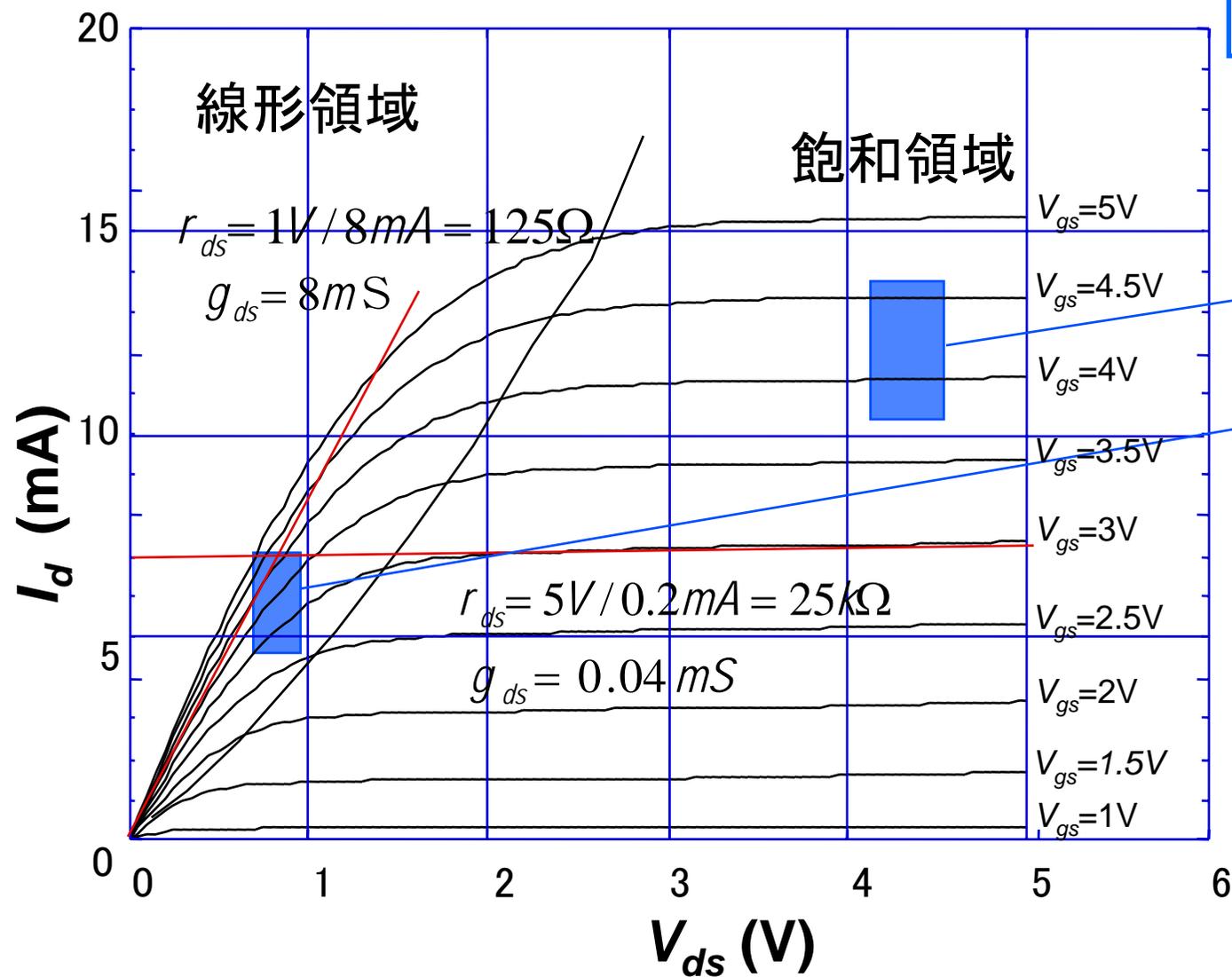
電圧電流特性 (Log - lin)

$$I_{ds} - V_{gs} (0.8 \mu\text{m nMOS})$$

$$W = 50 \mu\text{m}, L = 0.8 \mu\text{m}, V_{bs} = 0\text{V}$$



電圧電流特性



伝達コンダクタンス
トランスコンダクタンス

$$g_m = \frac{\partial I_d}{\partial V_{gs}}$$

$$= \frac{2mA}{0.5V} = 4mS$$

$$= \frac{1mA}{0.5V} = 2mS$$

$$S \text{ (シーメンス)} = \frac{I}{V}$$

ソースドレイン抵抗 r_{ds}
ソースドレイン
コンダクタンス g_{ds}

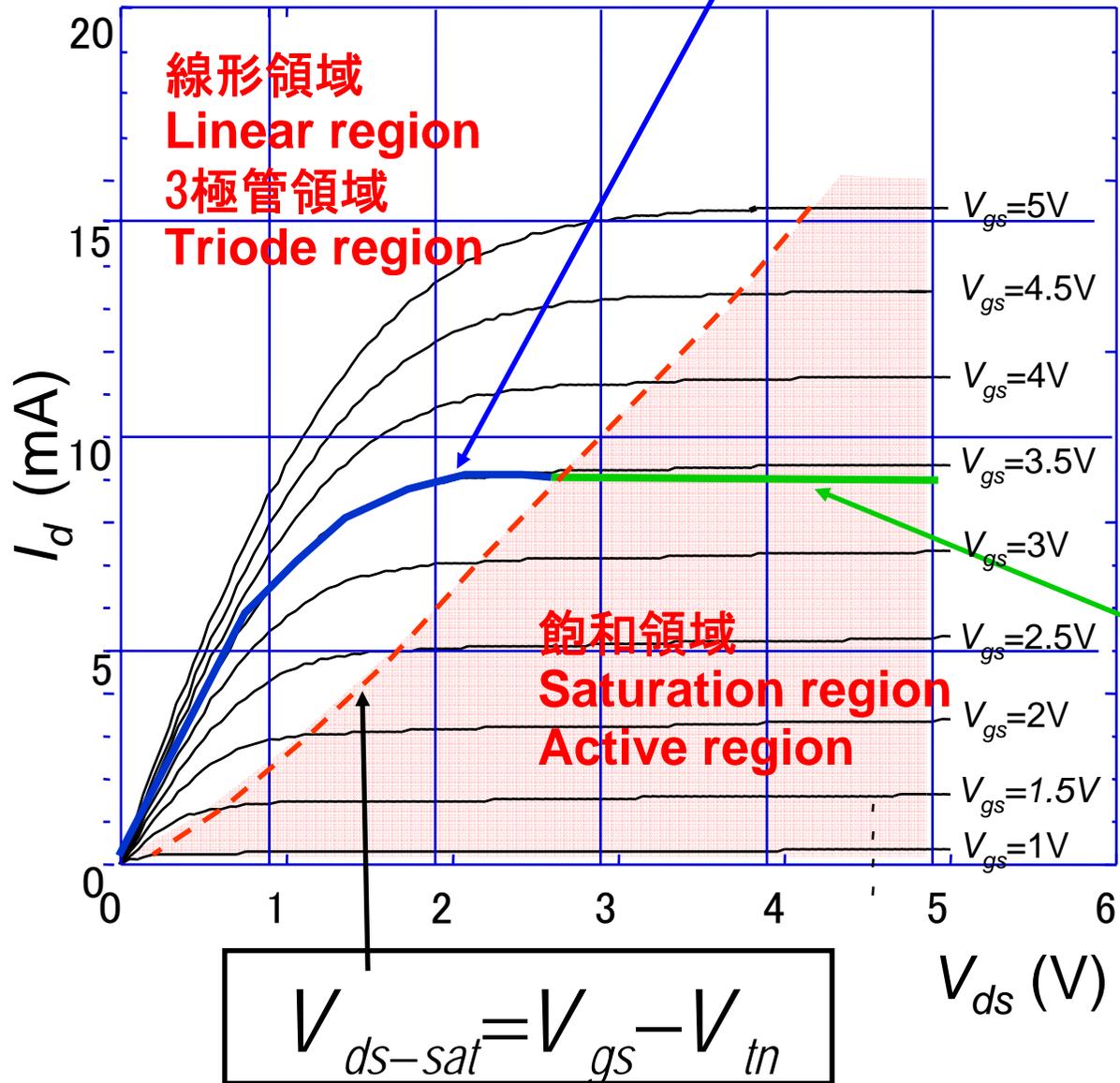
$$g_{ds} = \frac{1}{r_{ds}} = \frac{\partial I_d}{\partial V_{ds}}$$

宿題 2008年10月14日

1. 次の用語を説明せよ

n型半導体,
p型半導体,
ドナー,
アクセプター,
キャリア,
伝導帯,
価電子帯

$$I_d = \mu_n C_{ox} \frac{W}{L} \left[(V_{gs} - V_{tn}) V_{ds} - \frac{V_{ds}^2}{2} \right]$$



$$I_d = \frac{\mu_n C_{ox}}{2} \frac{W}{L} (V_{gs} - V_{tn})^2$$

MOSTランジスタの電流近似式

遮断領域

$$I_d = 0$$

線形領域

$$I_d = \mu C_{ox} \frac{W}{L} \left\{ (V_{gs} - V_t) V_{ds} - \frac{V_{ds}^2}{2} \right\}$$

飽和領域

$$I_d = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{gs} - V_t)^2$$

真空の誘電率
酸化膜の
比誘電率

$$C_{ox} = \frac{\epsilon_o \epsilon_{ox}}{t_{ox}}$$

しきい値電圧

$$V_t = V_{to} + \gamma \left\{ \sqrt{V_{sb} + |2\phi_F|} - \sqrt{|2\phi_F|} \right\}$$

ゲートとシリコンの仕事関数差

$$V_{sb} = V_{source} - V_{bulk}$$

$$V_{to} = \phi_{ms} - 2\phi_F - \frac{1}{C_{ox}} (Q_{BO} + Q_{ox} + Q_I)$$

基板のフェルミ準位

$$\phi_F = -\frac{kt}{q} \ln\left(\frac{N_A}{n_i}\right)$$

イオン注入されたチャネル領域の不純物の電荷

シリコンとSiO2界面の固定電荷

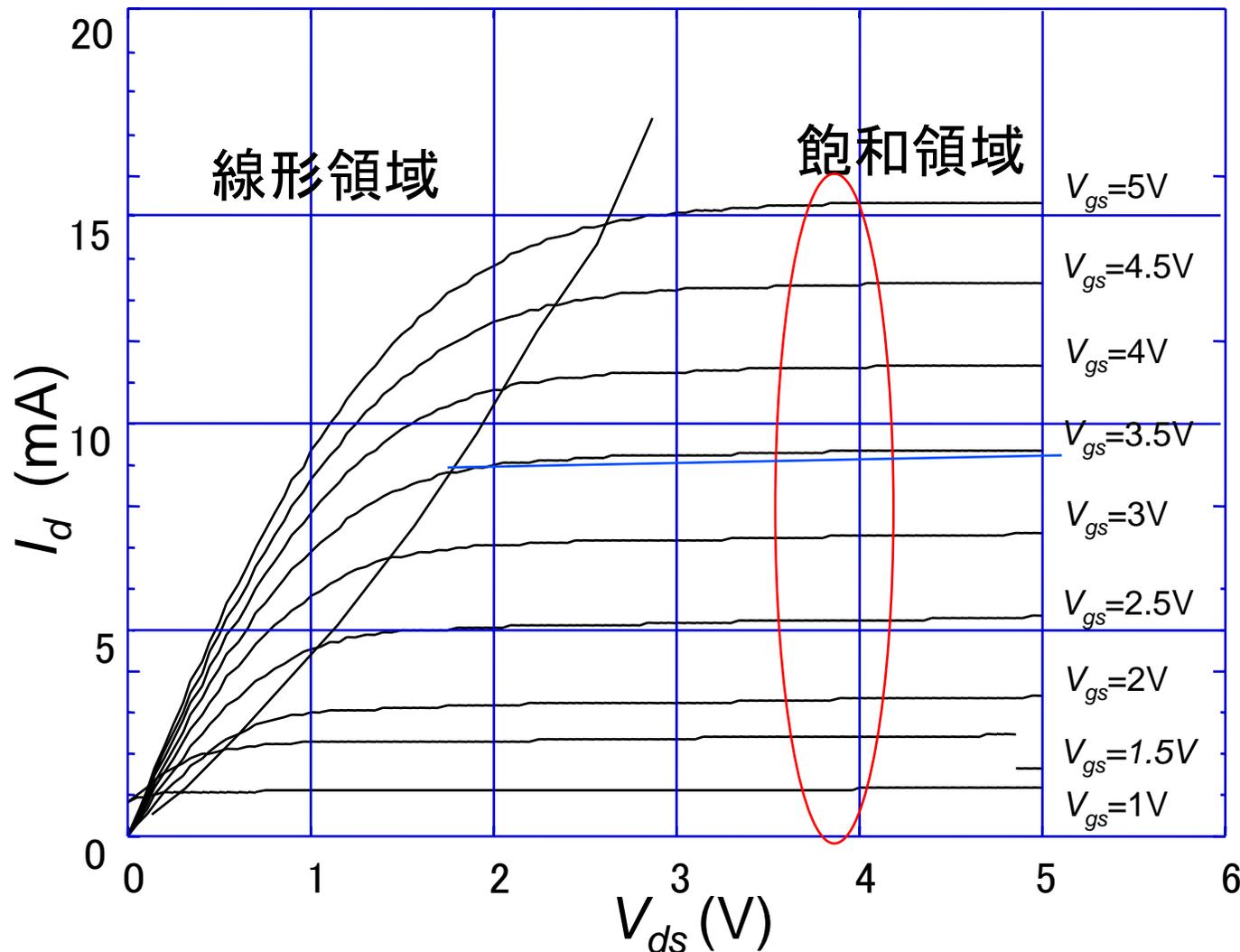
空乏層中のイオン化した不純物の電荷

1 μm 以下のMOSの電圧電流特性は基本的な式からずれる

$I_d - V_{ds}$ ($0.8\mu\text{m}$ nMOS)

$W = 50\mu\text{m}, L = 0.8\mu\text{m}, V_{bs} = 0\text{V}$

$$I_d = \kappa v_{sat} c_{ox} W (V_{gs} - V_t)$$



速度飽和

$(V_{gs} - V_t)^2$ ではなく

$(V_{gs} - V_t)$ に比例する

トランスコンダクタンス g_m

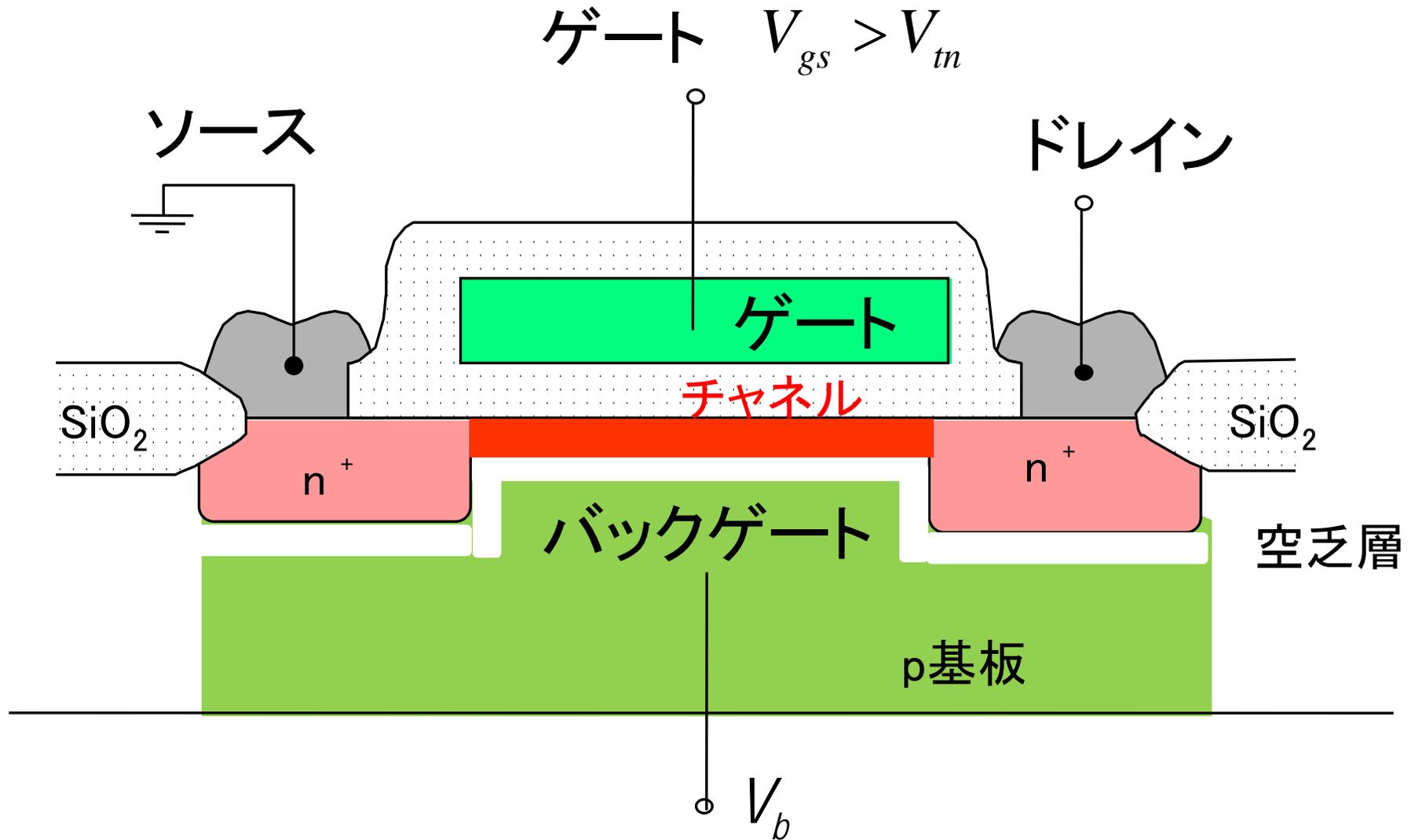
飽和領域, アクティブ領域では

$$I_d = \frac{\beta}{2} (V_{gs} - V_t)^2 \quad \beta = \mu C_{ox} \frac{W}{L}$$

$$g_m = \frac{\partial I_d}{\partial V_{gs}} = \beta (V_{gs} - V_t) = \sqrt{2\beta I_d} = \frac{2I_d}{V_{gs} - V_t}$$

$$\frac{g_m}{I_d} = \frac{2}{V_{gs} - V_t} = \sqrt{\frac{2\beta}{I_d}}$$

MOSの断面構造



ドレインコンダクタンス

チャンネル長変調効果

V_{ds} が増加するとドレイン側の空乏層が広がりチャンネル長が短くなる。
このためにドレイン電流 I_d が増加する。

$$I_d = \mu C_{ox} \left(\frac{W}{L} \right) (V_{gs} - V_t)^2 (1 + \lambda V_{ds})$$

λ : チャンネル長変調係数

ドレインコンダクタンス

$$g_{ds} = \frac{\partial I_d}{\partial V_{ds}} = \mu C_{ox} \left(\frac{W}{L} \right) (V_{gs} - V_t)^2 \lambda = \lambda I_d$$

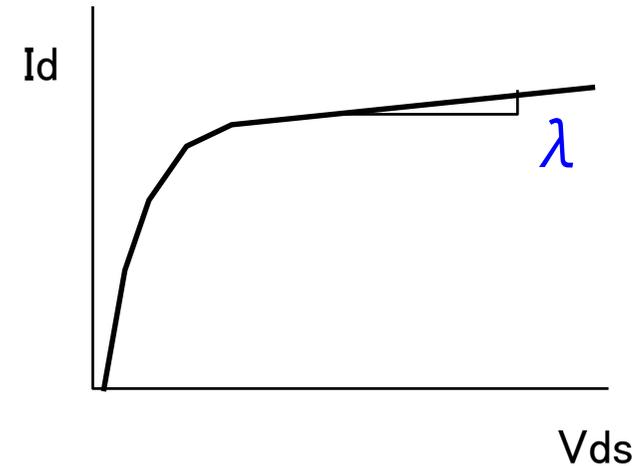
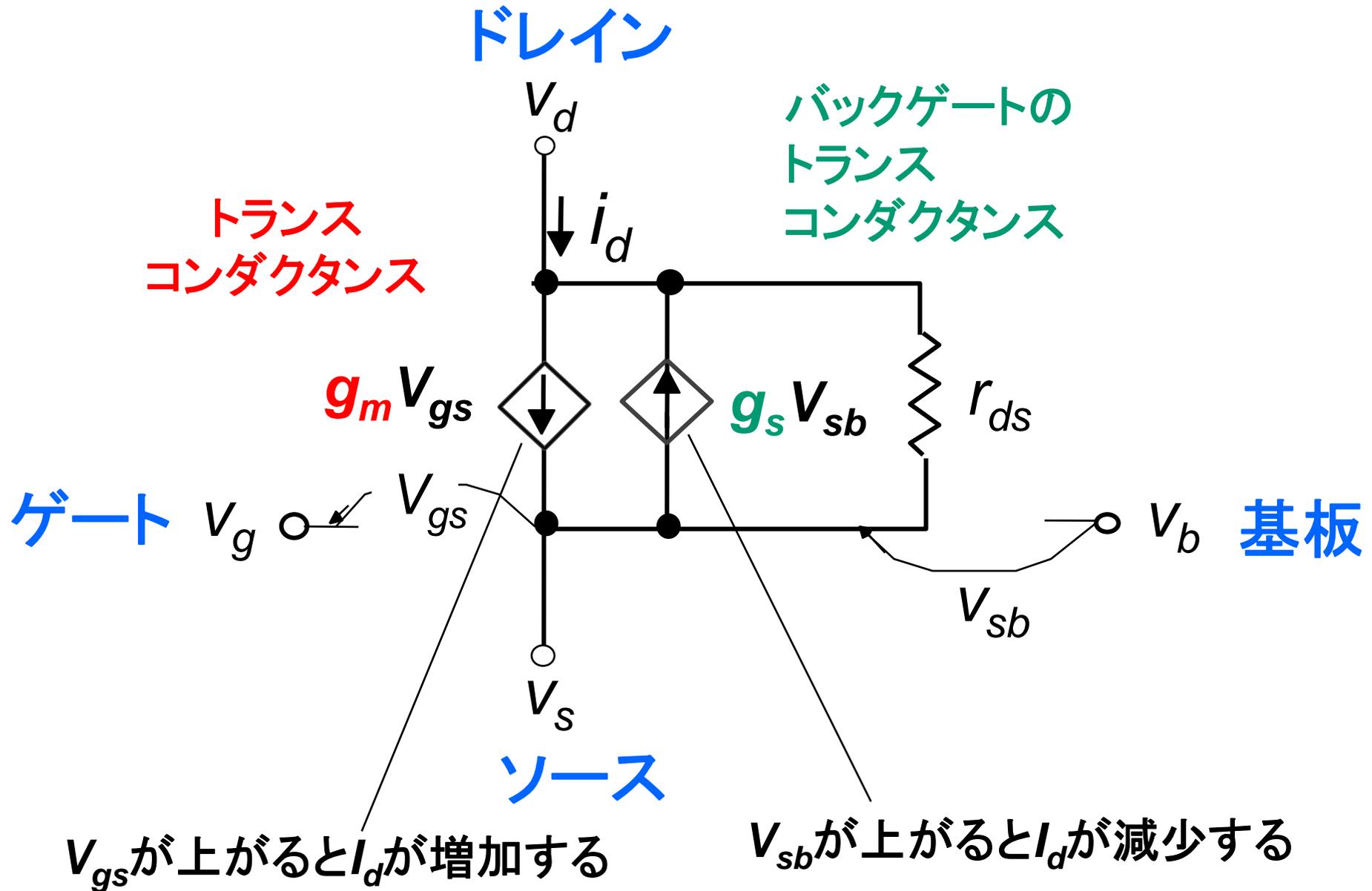


図2.5にMOSでは

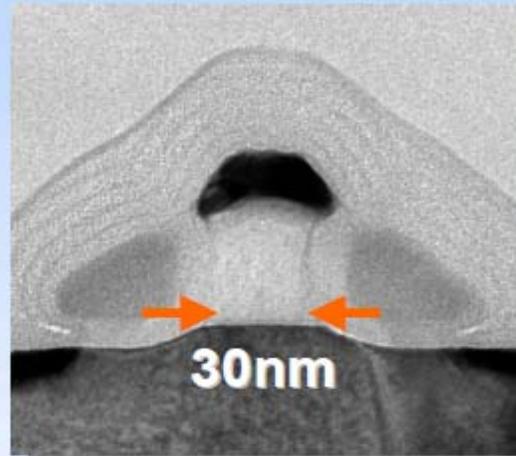
$$\begin{aligned} \lambda &= g_{ds} / I_d \\ &= 0.04mS / 4mA \\ &= 0.01V^{-1} \end{aligned}$$

MOS線形回路モデル

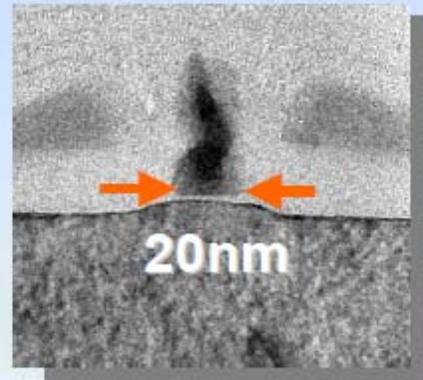


半導体集積回路のデバイス技術

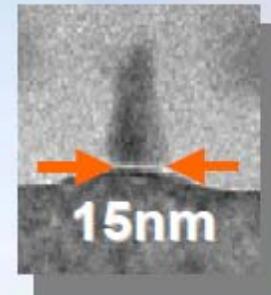
スケーリング則: 縮小化技術



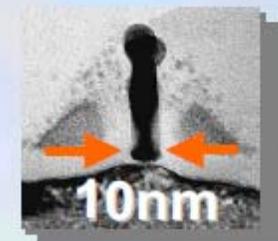
**65nm process
2005 production**



**45nm process
2007 production**

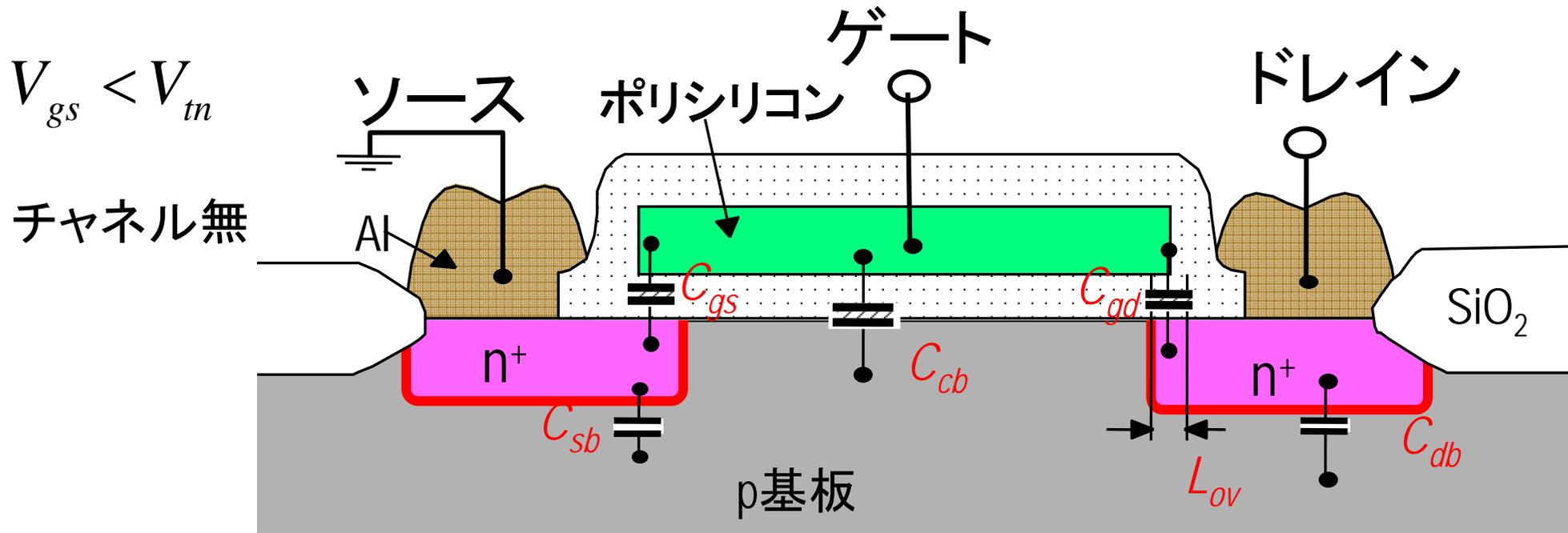
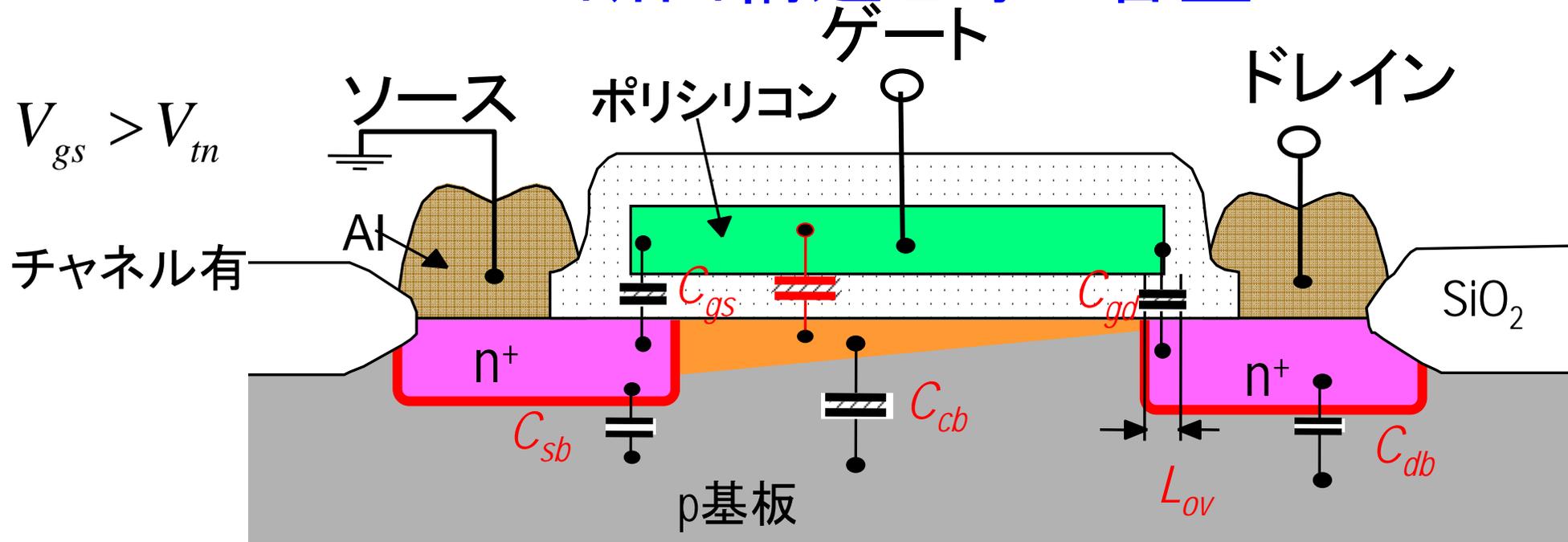


**32nm process
2009 production**



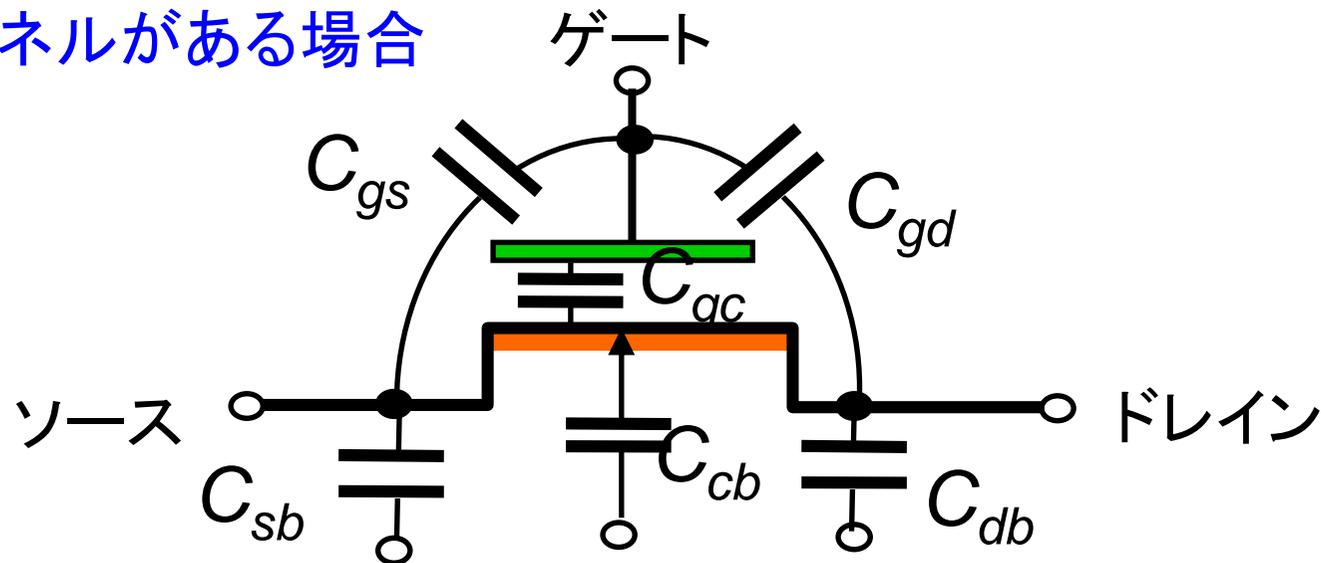
**22nm process
2011 production**

MOSの断面構造と寄生容量



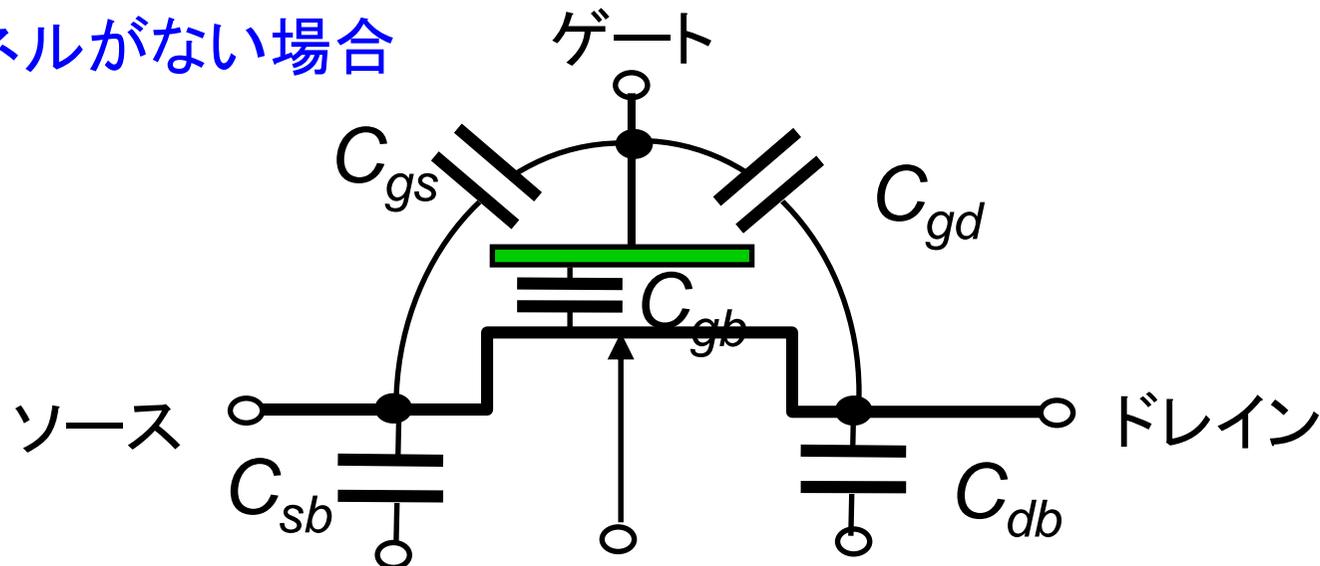
MOSの寄生容量(回路上)

チャンネルがある場合



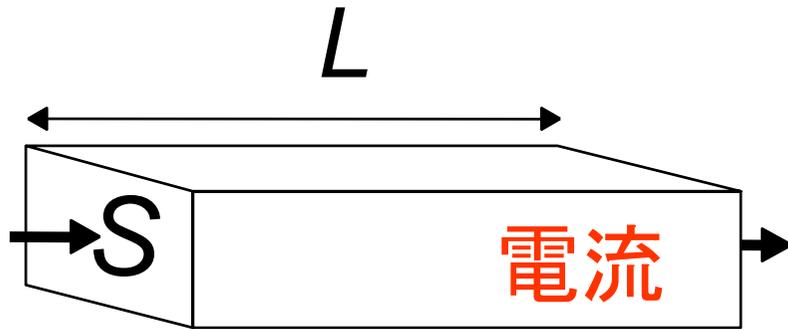
バルク(シリコン基板)

チャンネルがない場合



バルク(シリコン基板)

抵抗 (配線抵抗)

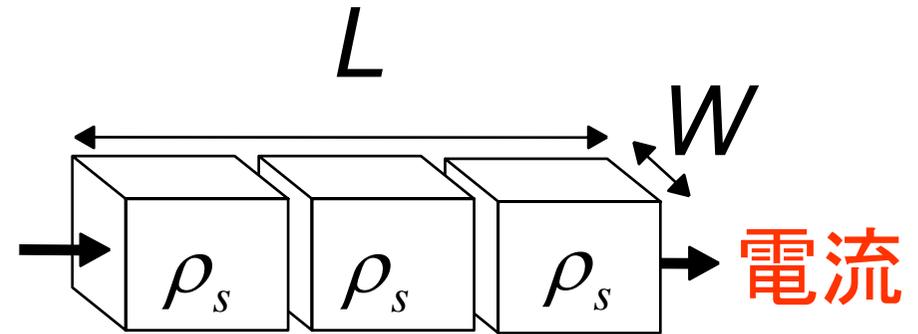


$$R = \rho \frac{L}{S}$$

L : 配線長

S : 断面積

ρ : 抵抗率



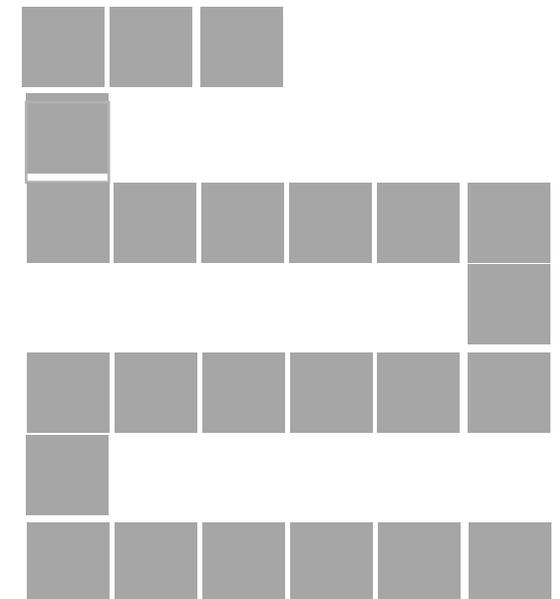
$$R = \rho_s \frac{L}{W}$$

ρ_s : シート抵抗

W : 配線幅

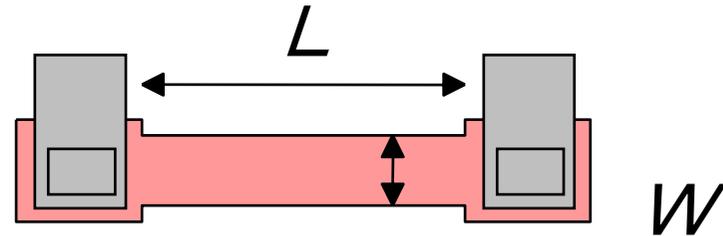
L : 配線長

$\frac{L}{W}$: 正方形の数
スクエア数

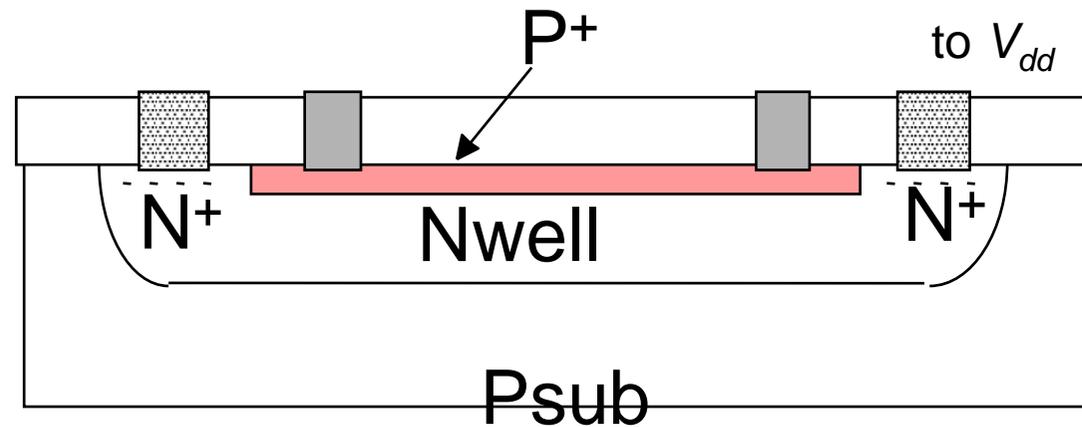


抵抗の構造

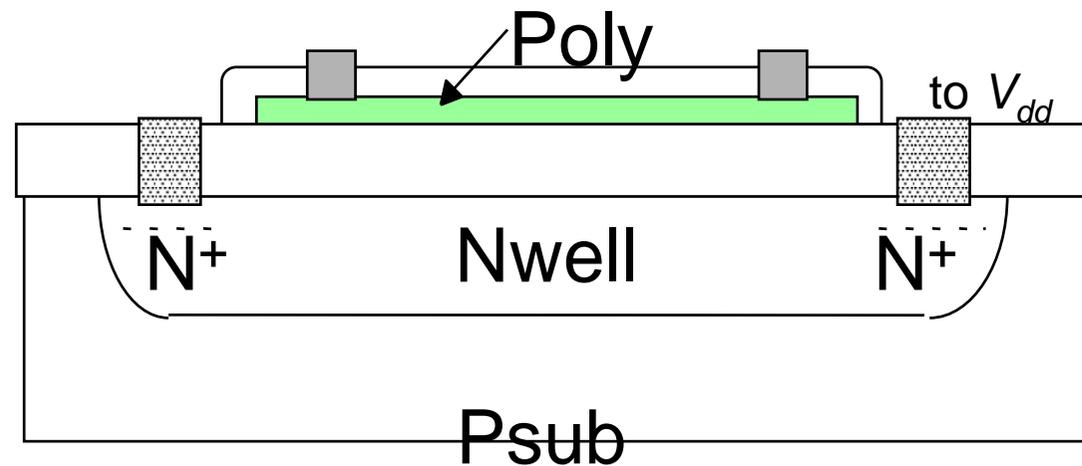
(a) 抵抗パターン



(b) 拡散抵抗

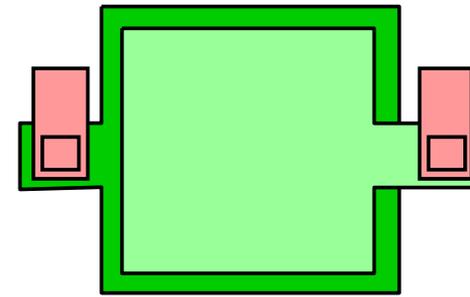


(c) ポリ抵抗

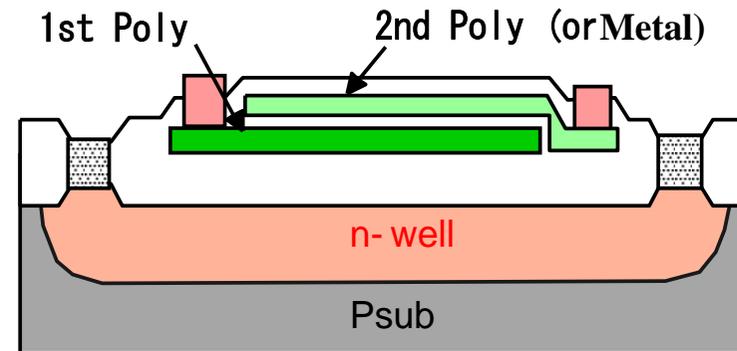


容量の構造

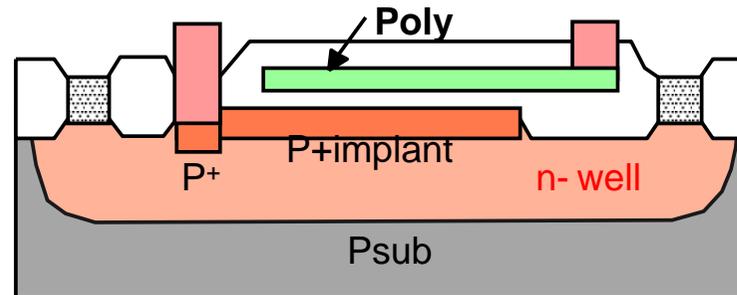
(a) 容量パターン



(b) 2層ポリシリコン容量



(c) ゲート容量



(d) 2層メタル容量(MIM)

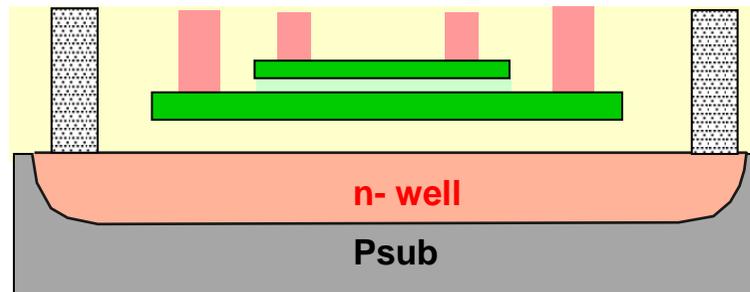


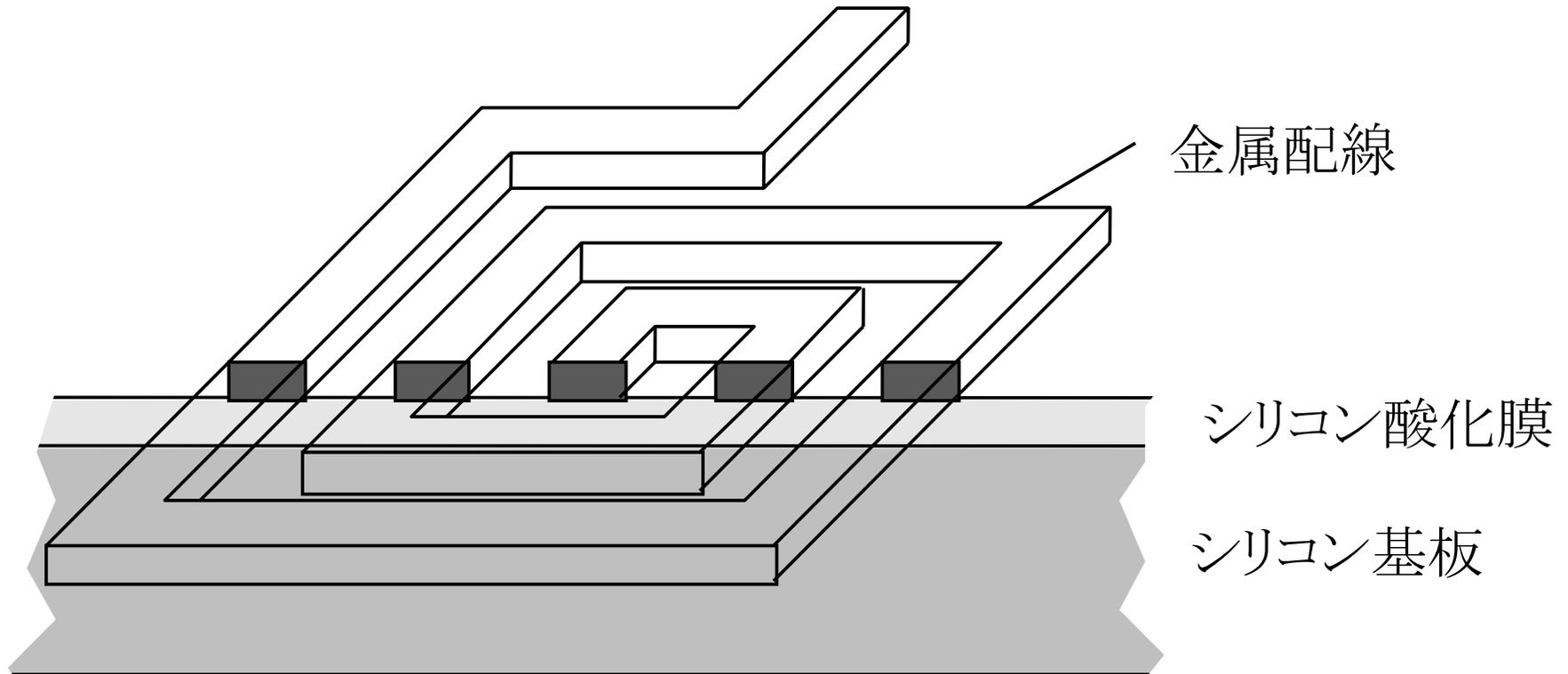
表2.1 抵抗素子の特性

	シート抵抗	絶対精度	相対精度
拡散抵抗	20-100 Ω	10%	0.2-2%
ゲートシリコン層	20-50 Ω	10%	0.2-1%
バンドープシリコン層	100-1k Ω	10-20%	1-2%

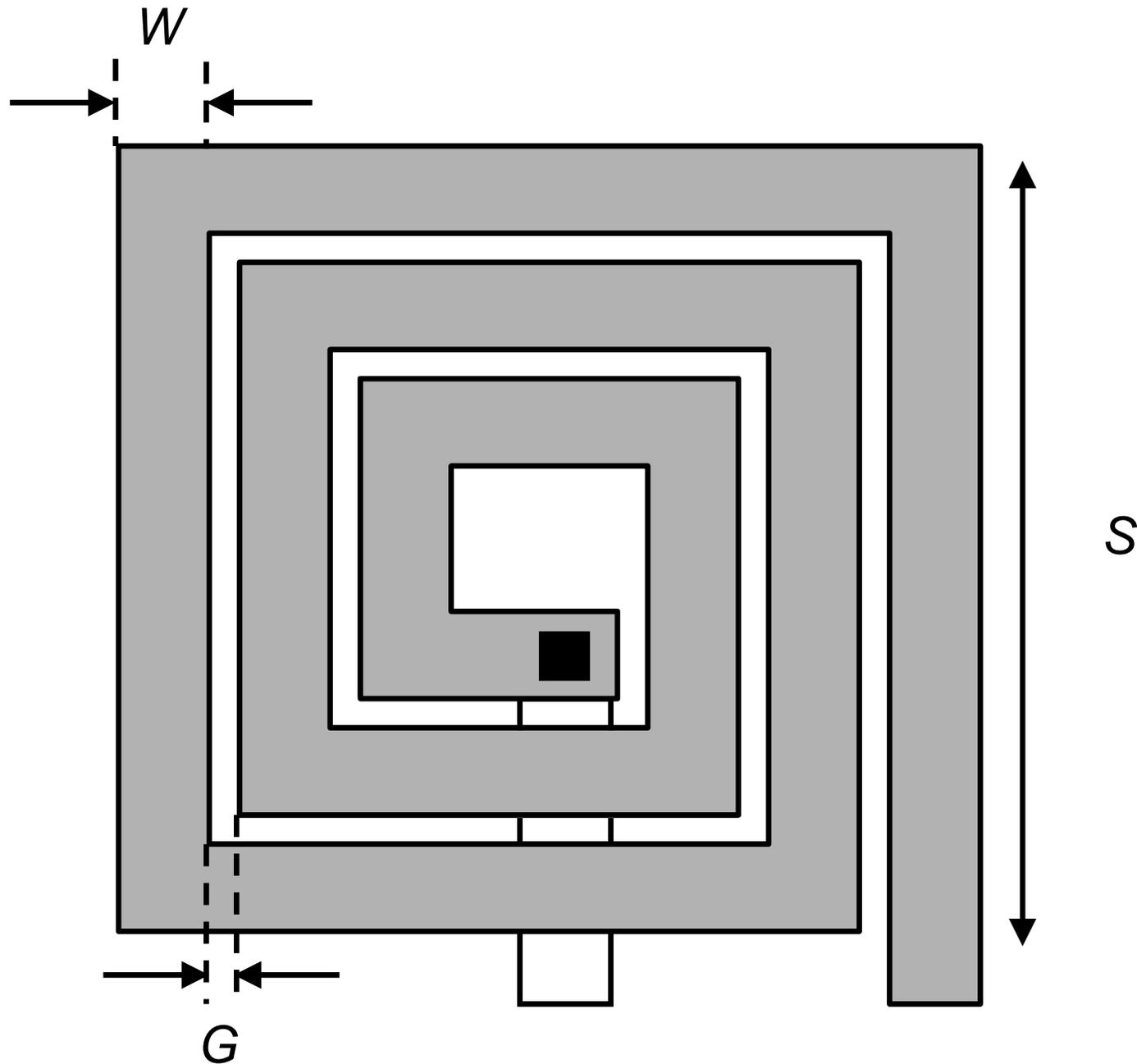
表2.2 容量素子の特性

容量素子	容量値	絶対精度	相対精度
MOS容量	2-5fF/ μm^2	2-5%	0.05-0.2%
2層ポリシリコン容量	1.5-2fF/ μm^2	5-10%	0.05-0.2%

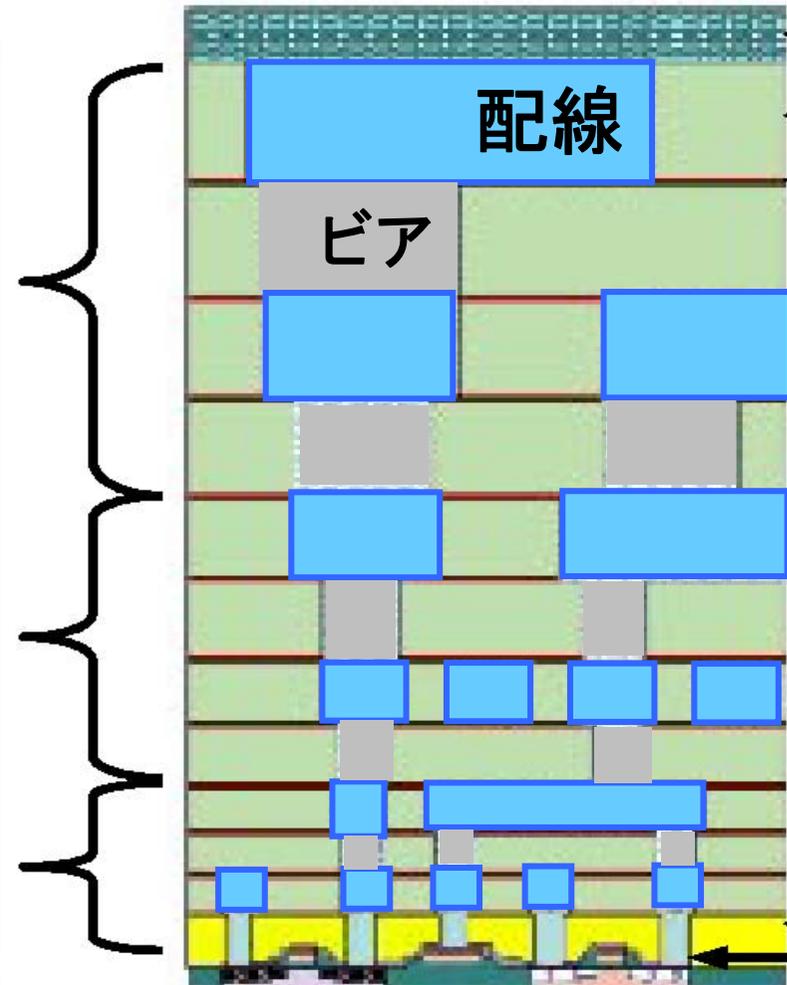
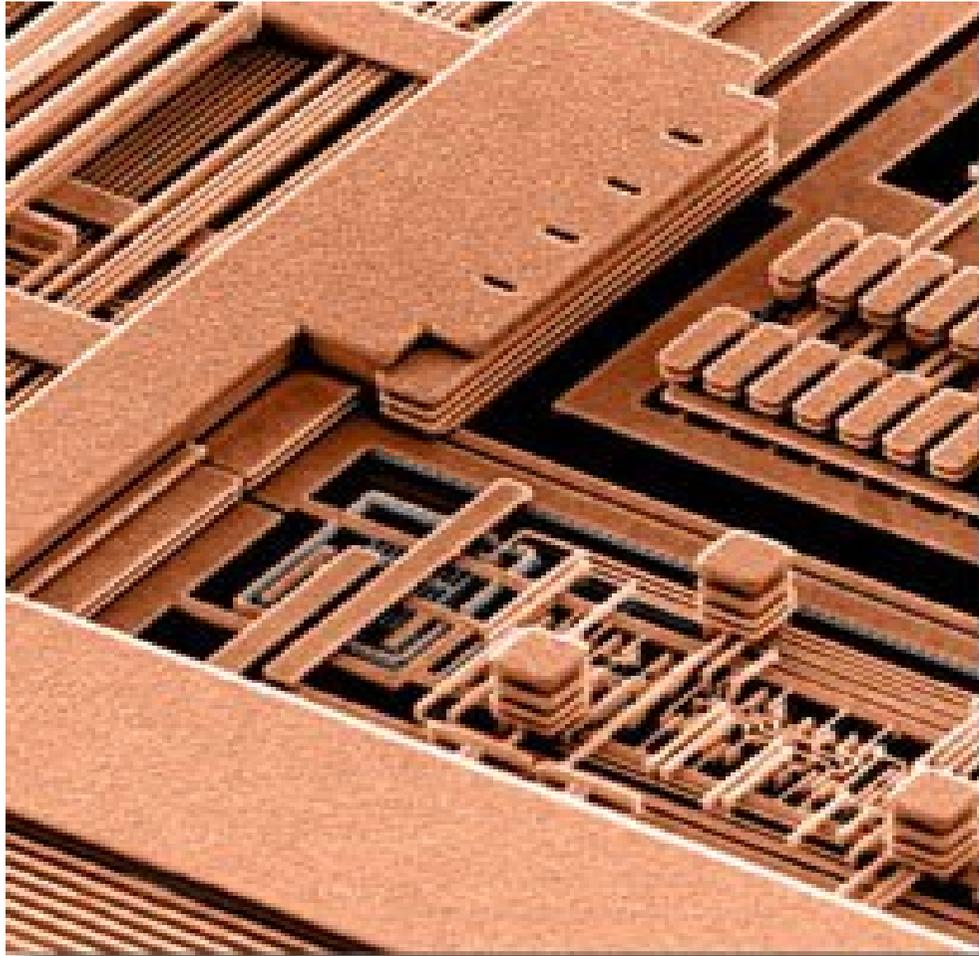
集積化インダクター



スパイラルインダクタ

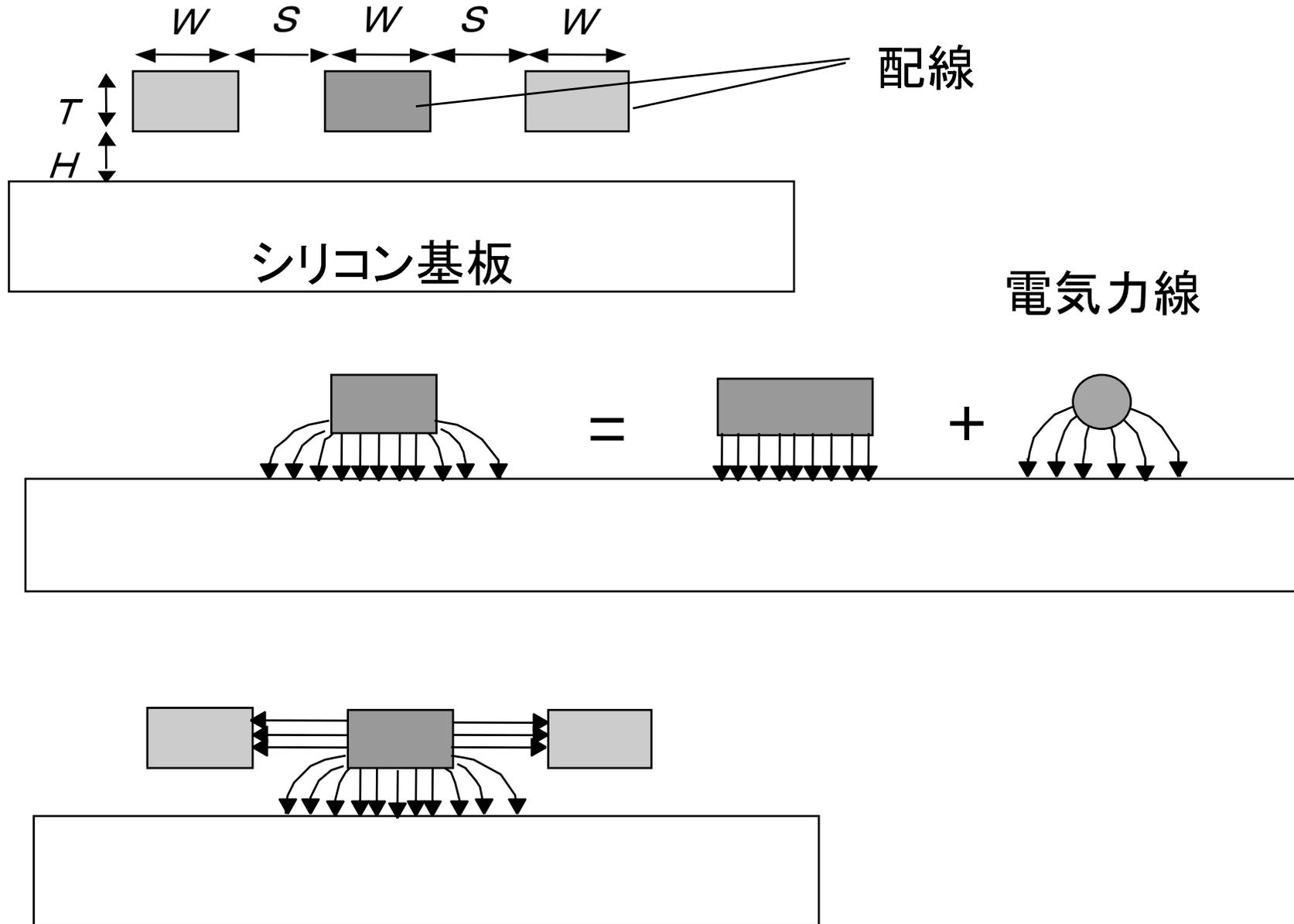


VLSIの多層配線

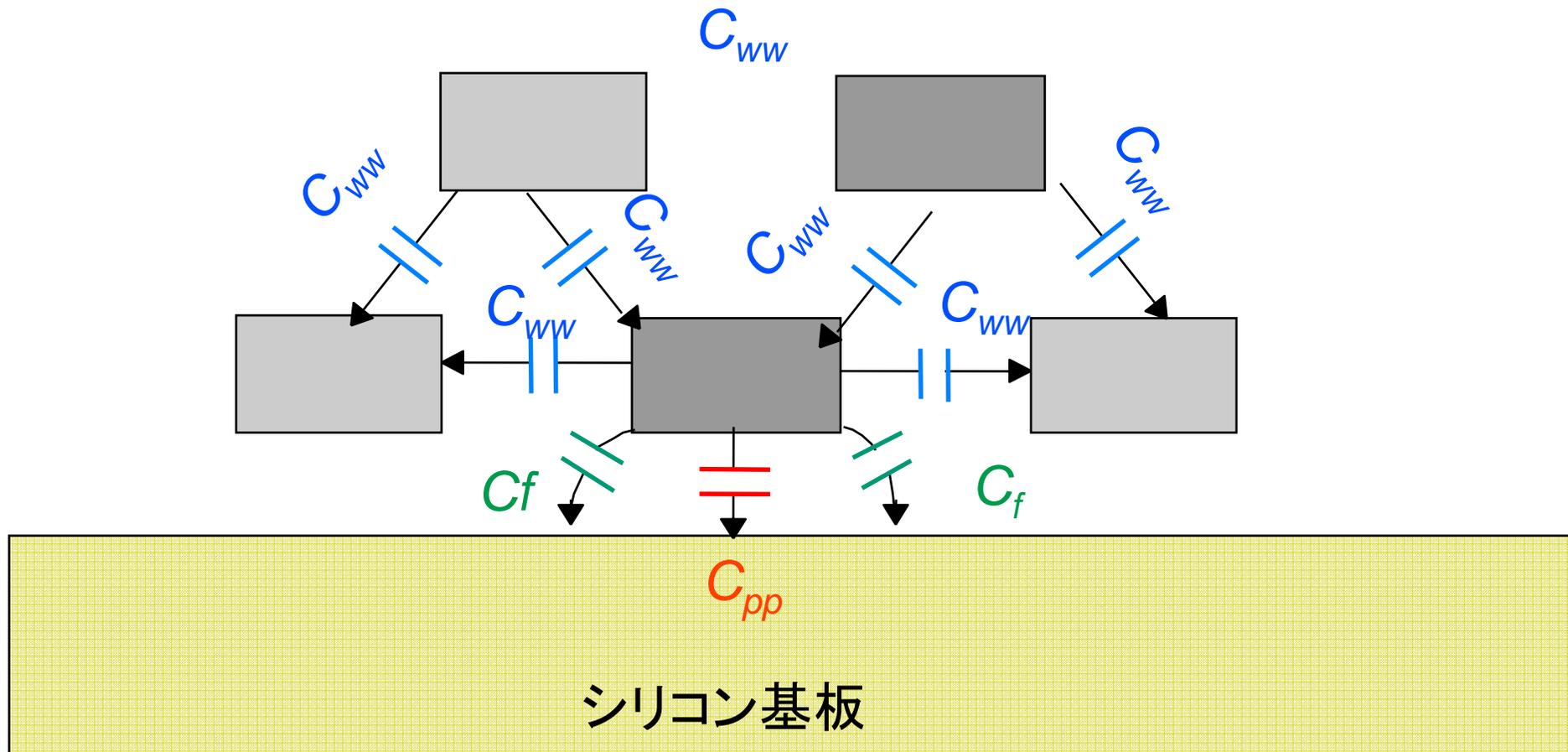


断面図

配線の静電容量



配線容量



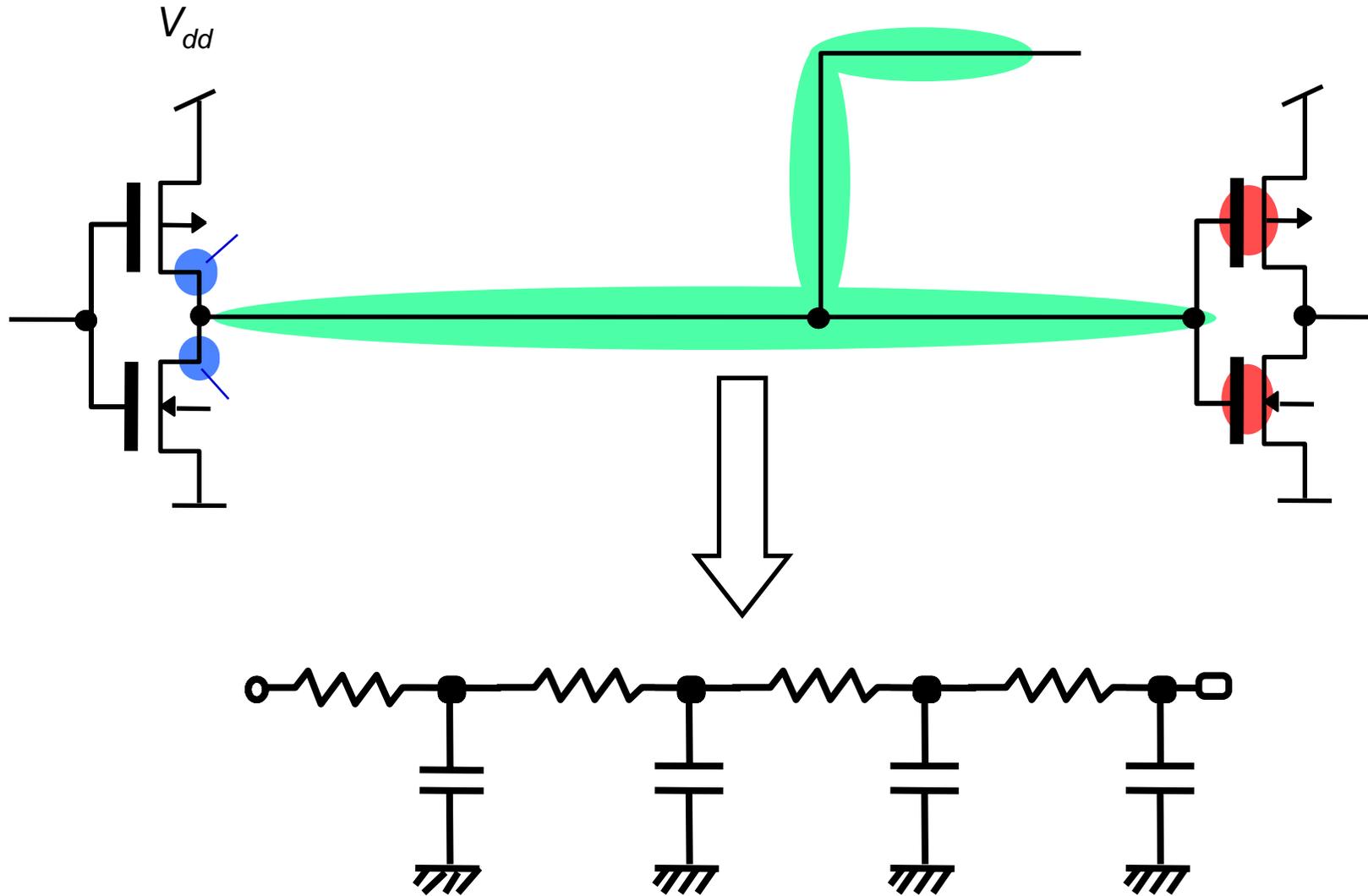
C_{pp} : 平行平板容量

C_f : フリンジ容量

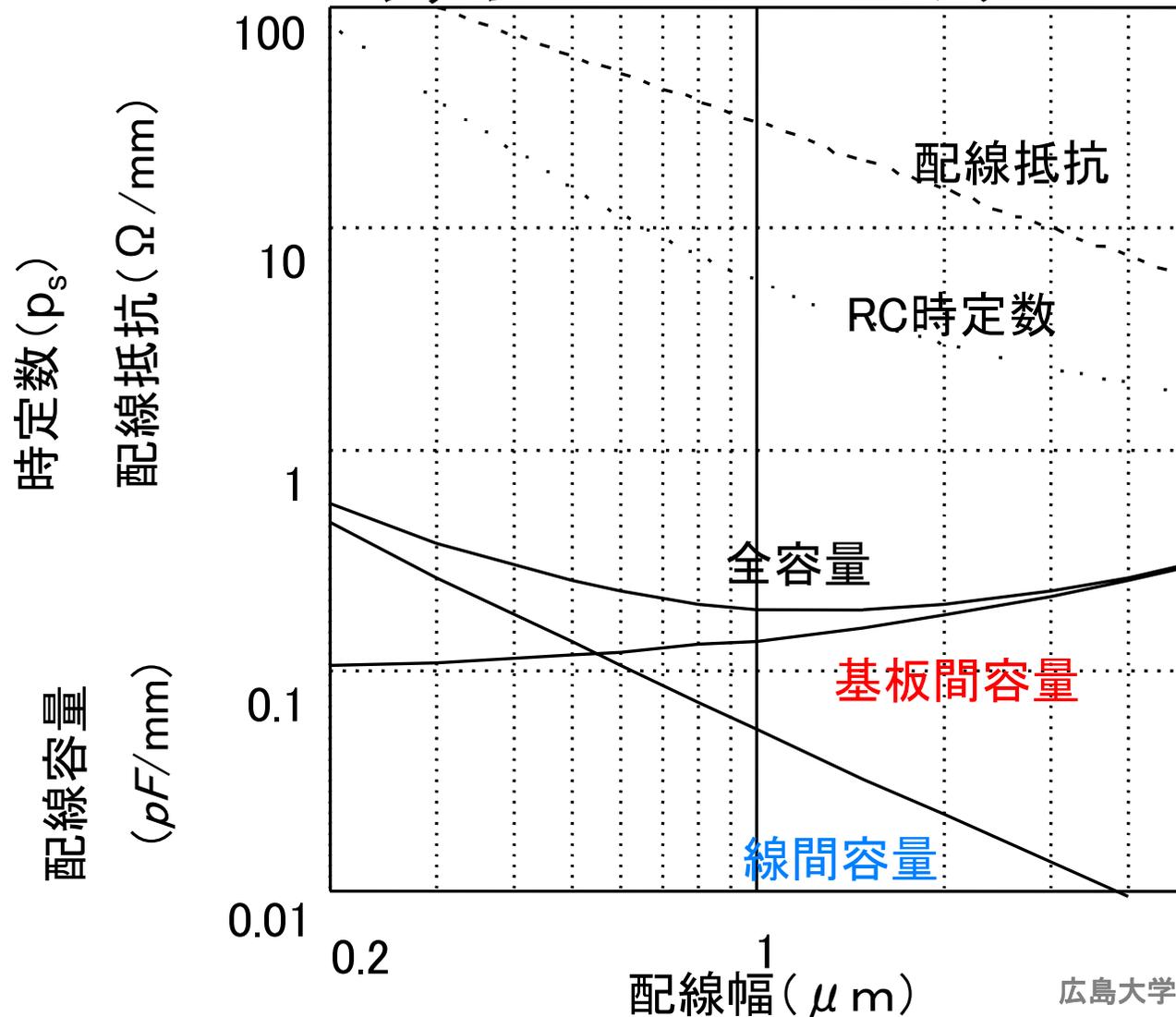
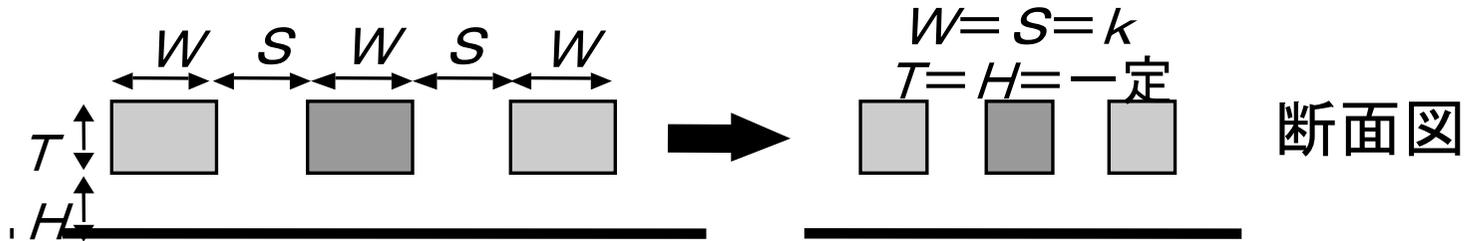
C_{ww} : 配線間容量

基板間容量

配線による遅延時間



配線容量, 配線抵抗, CR時定数



宿題 2008年10月21日

1. 図2.10の特性のトランジスタで以下の4点における g_m と g_{ds} を求めよ

① $V_{ds}=1V, V_{gs}=3V,$

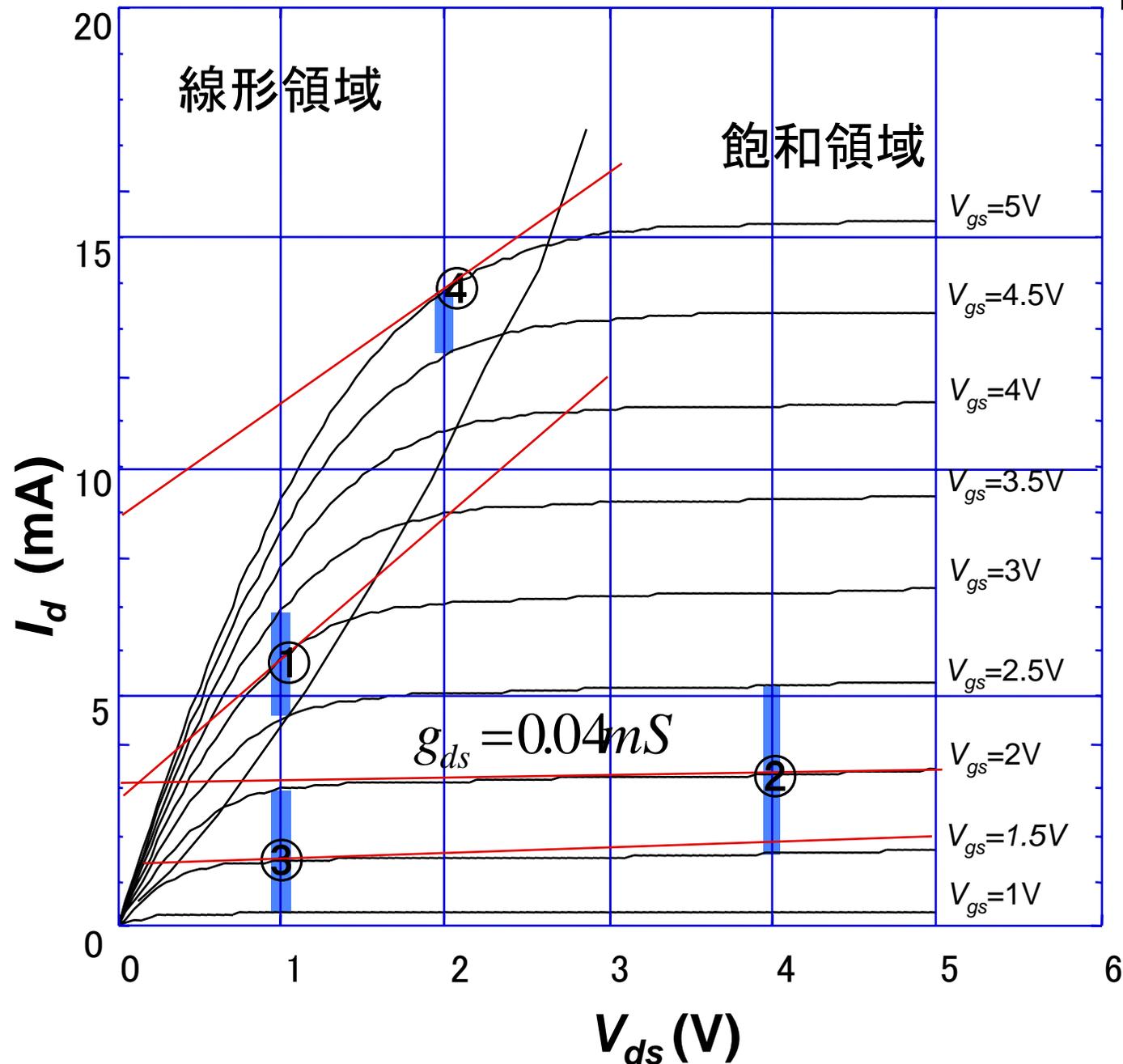
② $V_{ds}=4V, V_{gs}=2V,$

③ $V_{ds}=1V, V_{gs}=1.5V$

④ $V_{ds}=2V, V_{gs}=5V$

2. 抵抗率 $10^{-3} \Omega \text{ cm}$, 厚さ $1 \mu \text{ m}$ の抵抗のシート抵抗を求めよ.
10K Ω の抵抗素子を作るのに必要なL/W(□数)を求めよ.

宿題解答 電圧電流特性



$$g_m = \frac{\partial I_d}{\partial V_{gs}}$$

$$\textcircled{1} = \frac{1.2\text{mA}}{0.5\text{V}} = 2.4\text{mS}$$

$$\textcircled{2} = \frac{2\text{mA}}{0.5\text{V}} = 4\text{mS}$$

$$\textcircled{3} = \frac{2\text{mA}}{0.5\text{V}} = 4\text{mS}$$

$$\textcircled{4} = \frac{1\text{mA}}{0.5\text{V}} = 2\text{mS}$$

$$r_{ds} = \frac{1}{g_{ds}} = \frac{\partial V_{ds}}{\partial I_d}$$

$$\textcircled{1} \quad r_{ds} = 1\text{V} / 3\text{mA} = 333\Omega$$

$$\textcircled{2} \quad r_{ds} = 5\text{V} / 0.2\text{mA} = 25\text{k}\Omega$$

$$\textcircled{3} \quad r_{ds} = 5\text{V} / 0.4\text{mA} = 12.5\text{k}\Omega$$

$$\textcircled{4} \quad r_{ds} = 3\text{V} / 7.5\text{mA} = 400\Omega$$

集積回路基礎 宿題 2008. 10. 21

1. 抵抗率 $10^{-3} \Omega \text{ cm}$, 厚さ $1 \mu \text{ m}$ の抵抗のシート抵抗を求めよ.
10K Ω の抵抗素子を作るのに必要なL/W(□数)を求めよ.
2. 教科書p.45 演習問題.3