

# 6章 半導体メモリ

# メモリの分類

リードライトメモリ: **RWM** リードとライトができる(同程度に高速)

リードオンリメモリ: **ROM** 読み出し専用メモリ,  
ライトできない or ライトは非常に遅い

ランダムアクセスメモリ: **RAM** 全番地を同時時間でリードライトできる

**SRAM** (Static Random Access Memory) 高速

**DRAM** (Dynamic Random Access Memory) 大容量

シーケンシャルアクセスメモリ アドレス順にしかアクセスできない

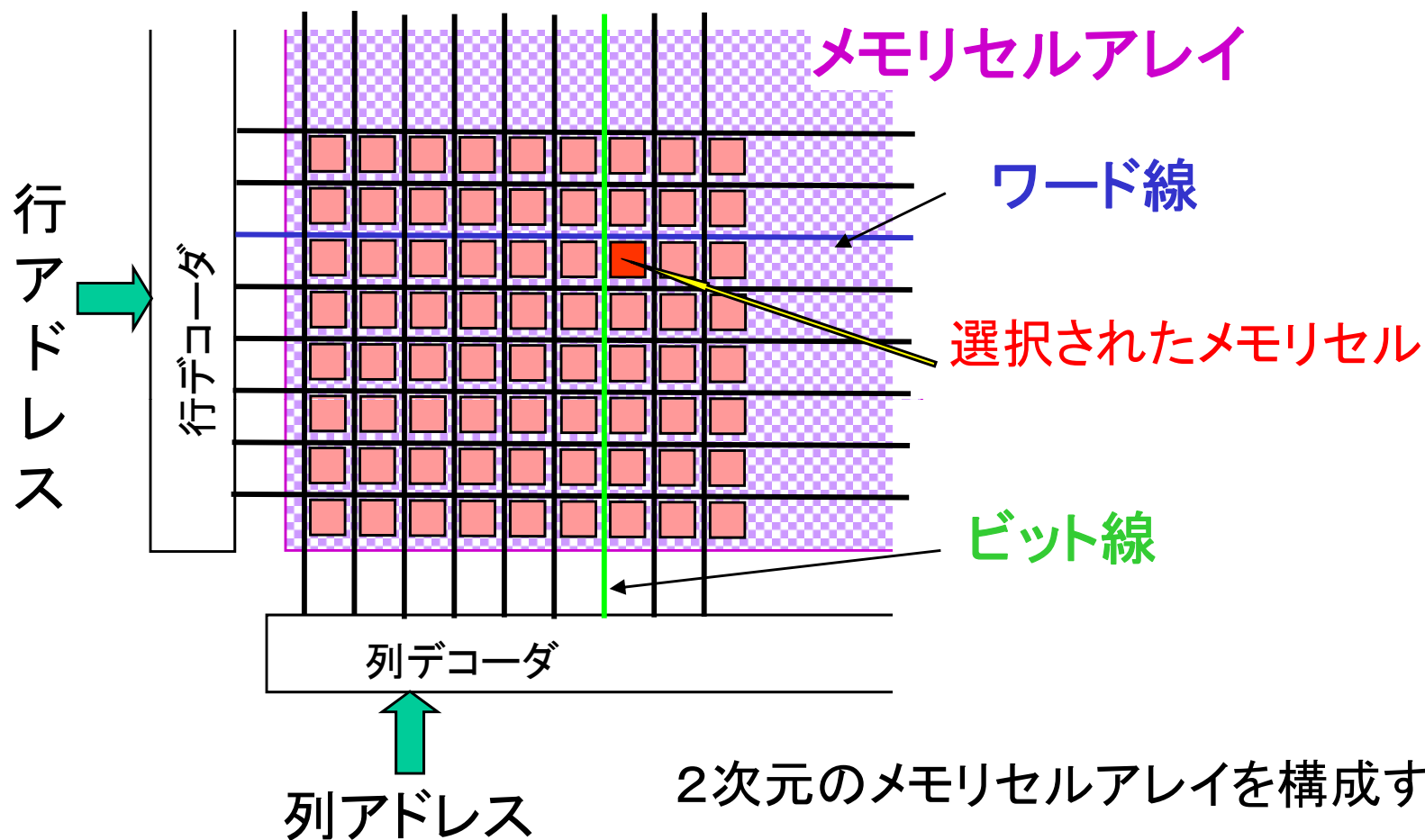
アクセス=リード・ライトすること

揮発性メモリ 電源を切ると記憶内容が壊れる

不揮発性メモリ 電源を切っても記憶内容が壊れない

(Nonvolatile Memory: NV memory)

# 半導体メモリの基本構成



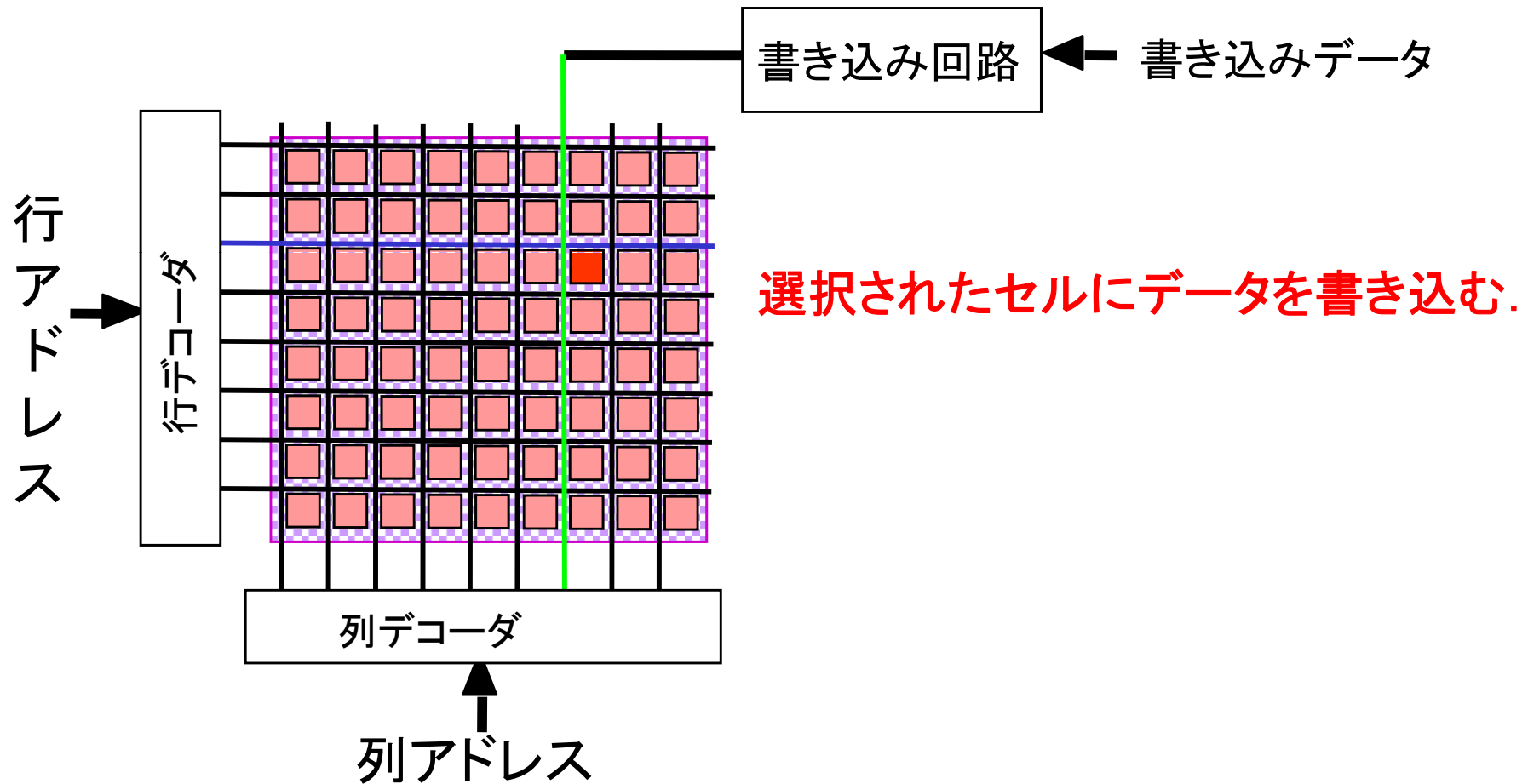
2次元のメモリセルアレイを構成する。

行アドレスをデコードしてワード線で1行を選択する。

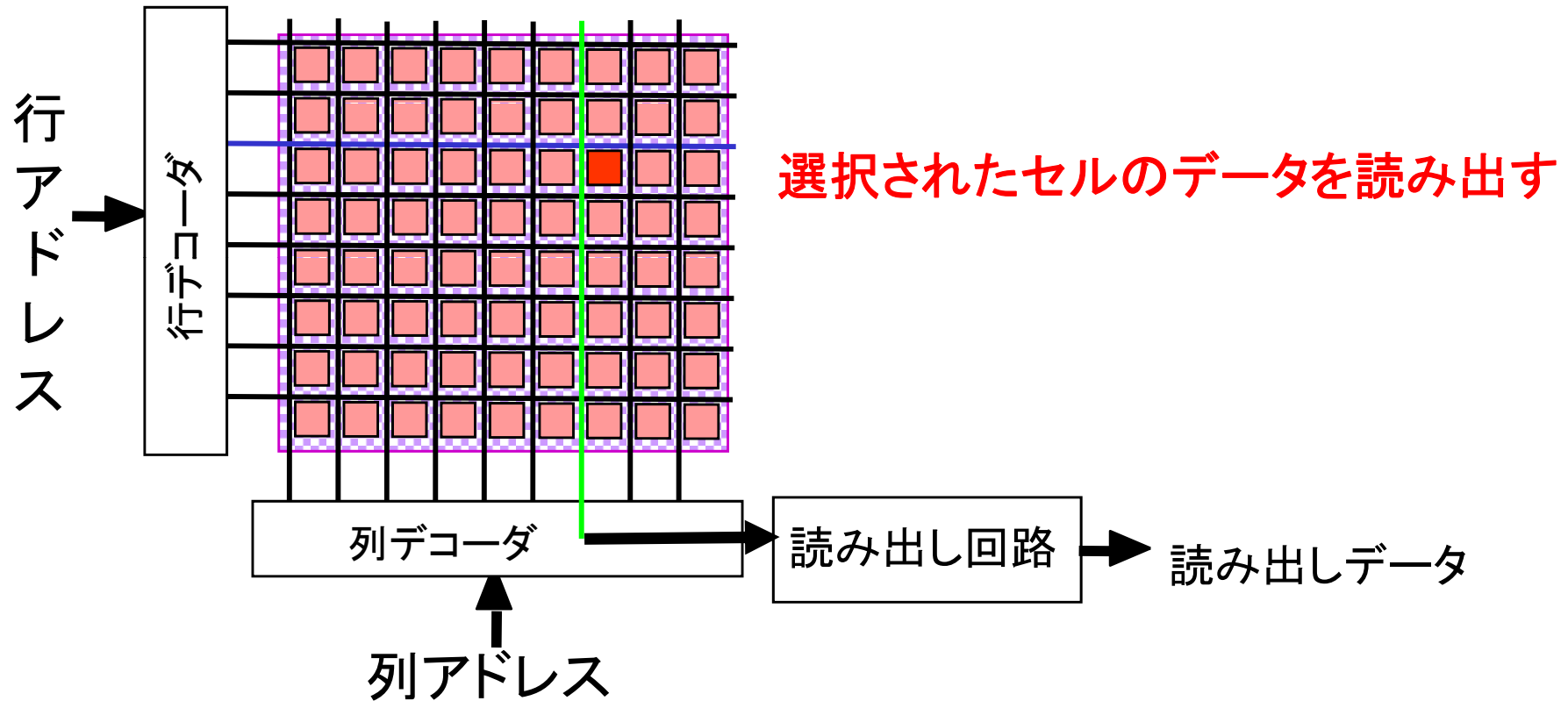
列アドレスをデコードしてビット線で1列を選択する。

ワード線, ビット線の交点のセル1ビットを選択する。

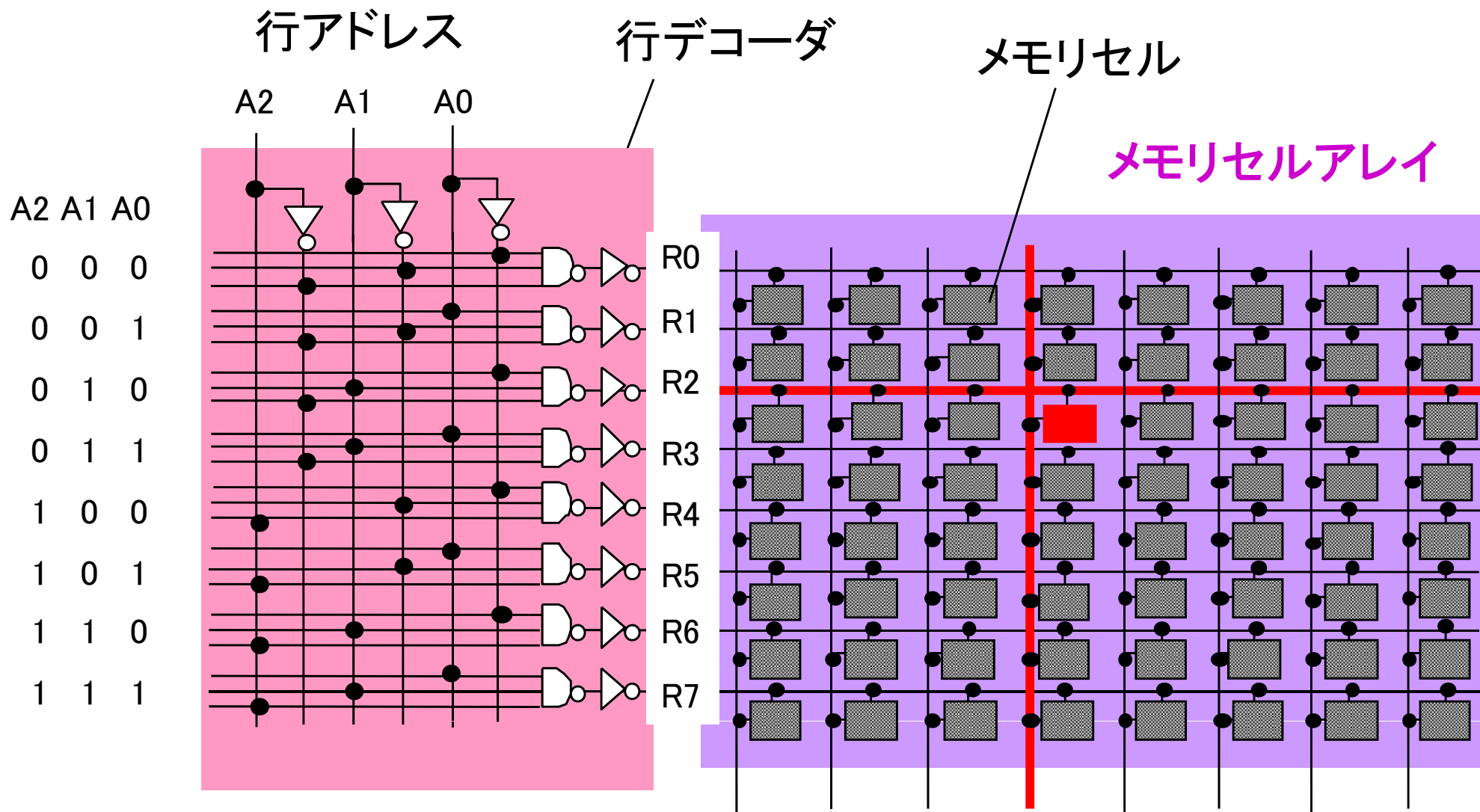
# 半導体メモリの書き込み(リード)動作



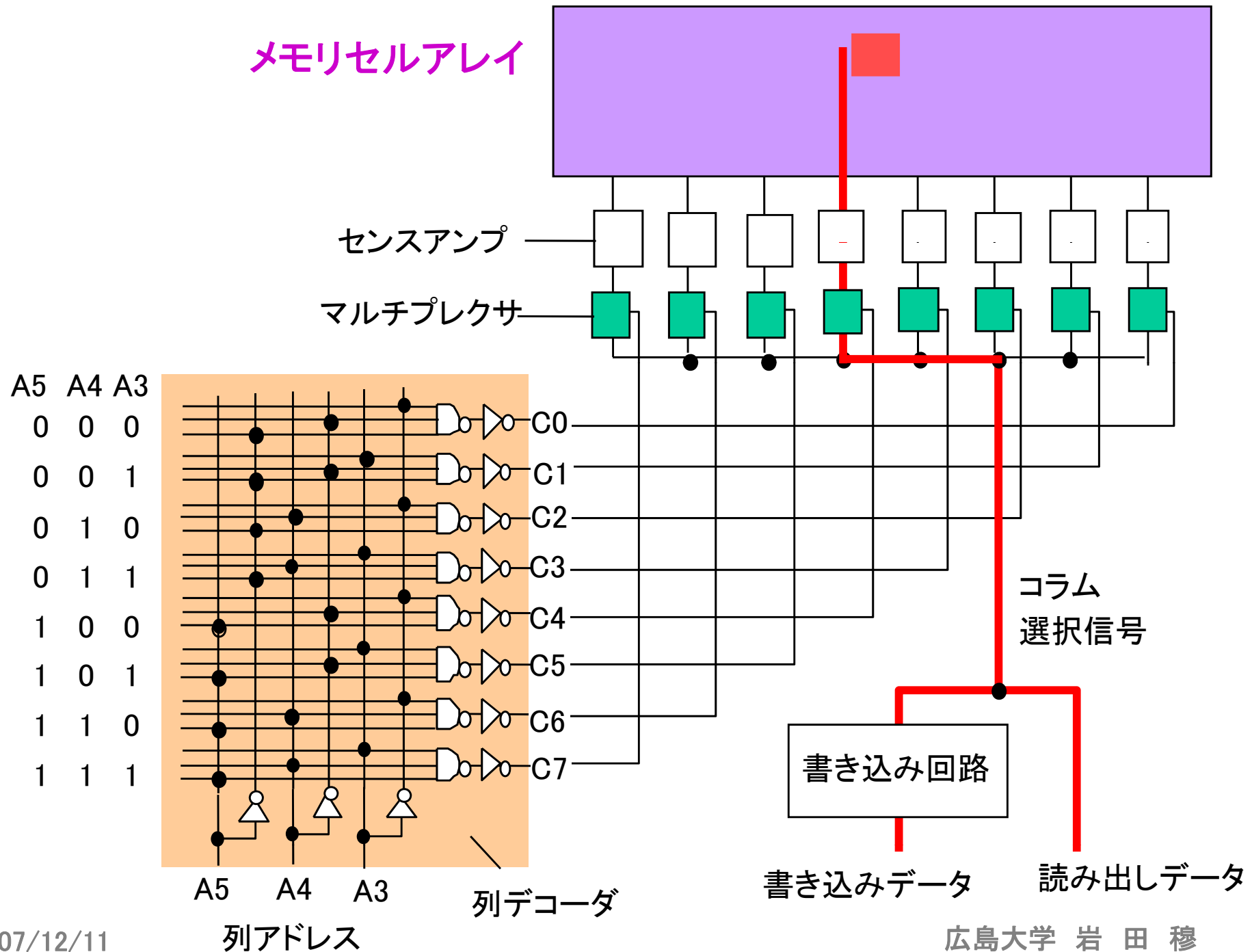
# 半導体メモリの読み出し(リード)動作



# 64ビットRAMの回路(1)

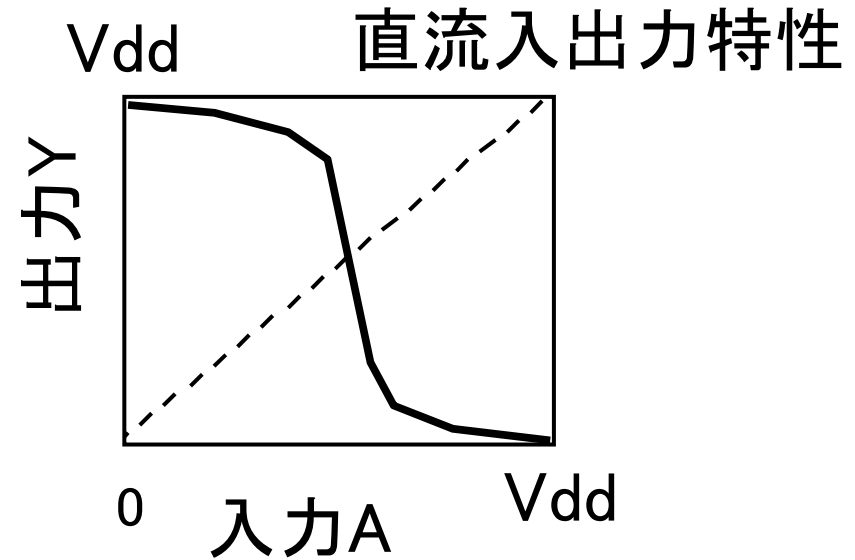
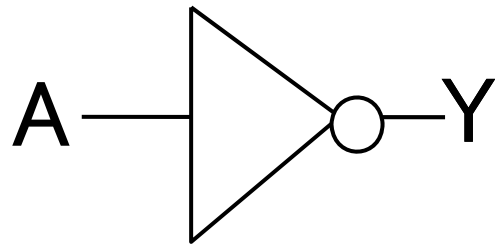


# 64ビットRAMの回路(2)



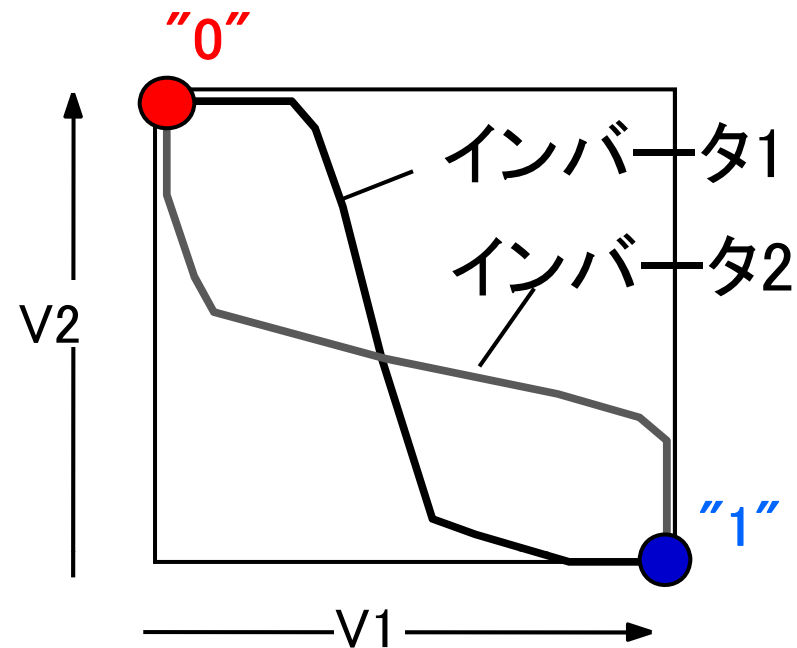
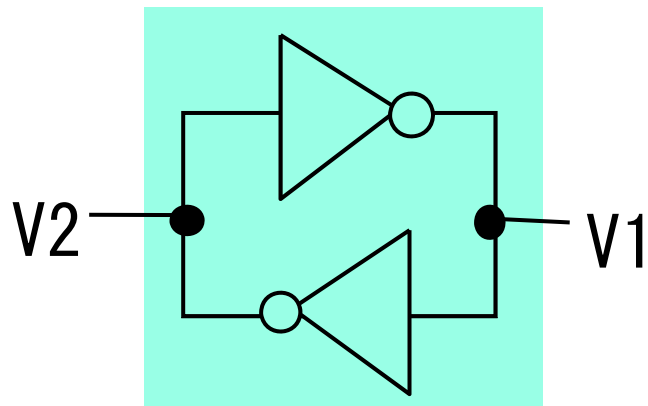
# 双安定回路を用いたメモリセル

## インバータ



## フリップフロップ

インバータを2個用いて  
正帰還回路を構成





# SRAMのメモリセル(CMOS型)

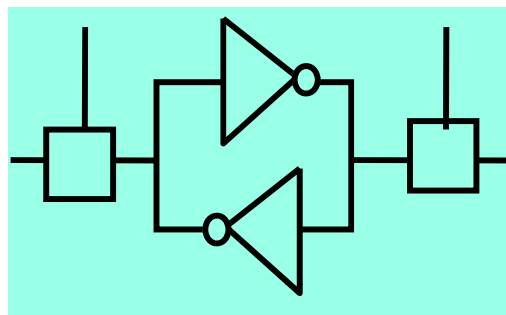
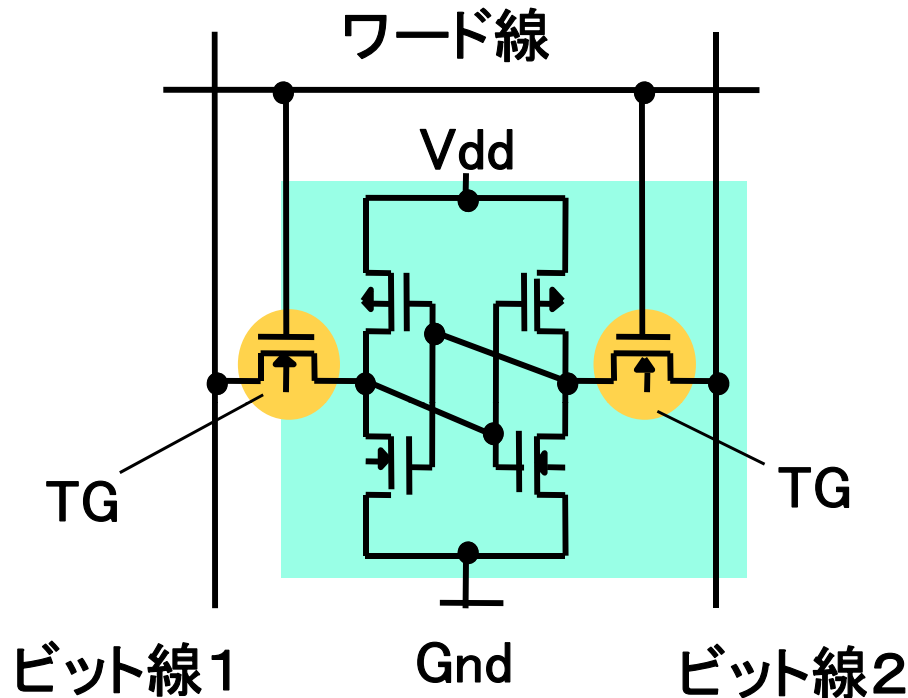
## 1ビットを記憶する回路

CMOSインバータ2個で構成した正帰還ループ(フリップフロップ)とトランスファゲート2個で構成.

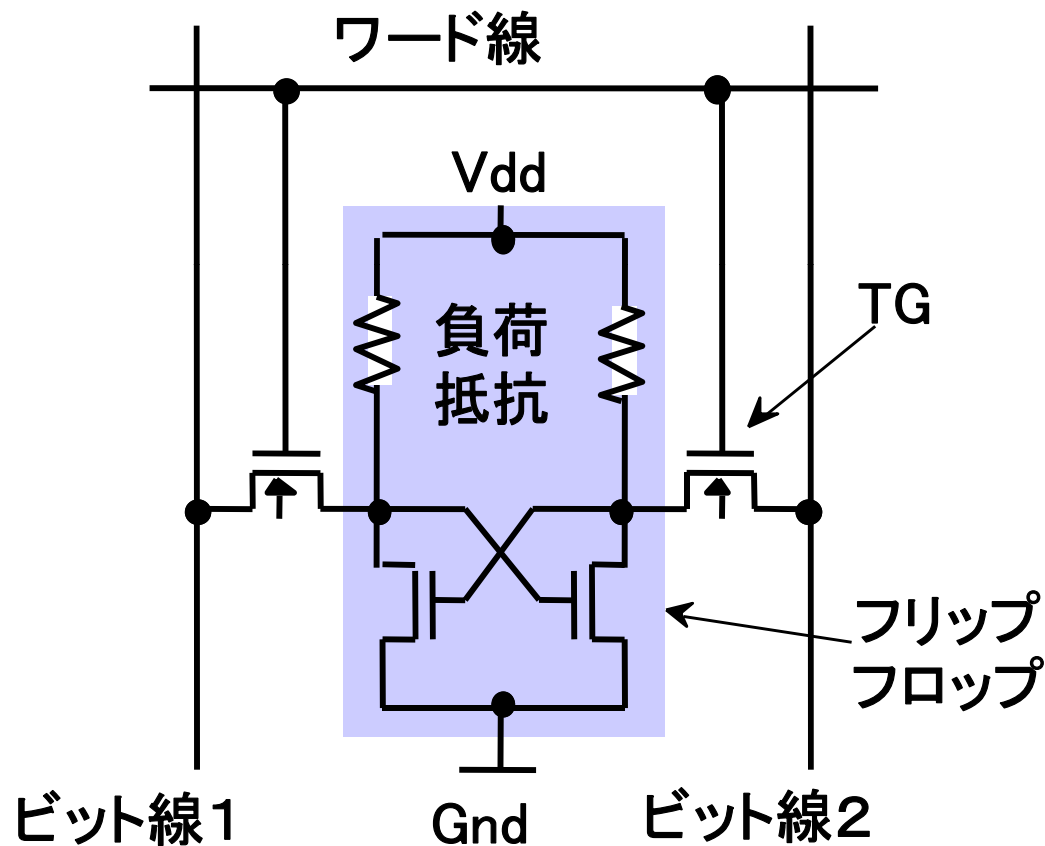
フリップフロップの双安定状態“1”,“0”で情報を記憶.

書き込み, 読み出しはTGを介して行う.

TGにはn-MOS型を使用, セルの出力のハイレベルは  $V_{dd} - V_{th}$  となるが, センスアンプで増幅されるので問題ない



# SRAMのメモリセル(抵抗負荷型)



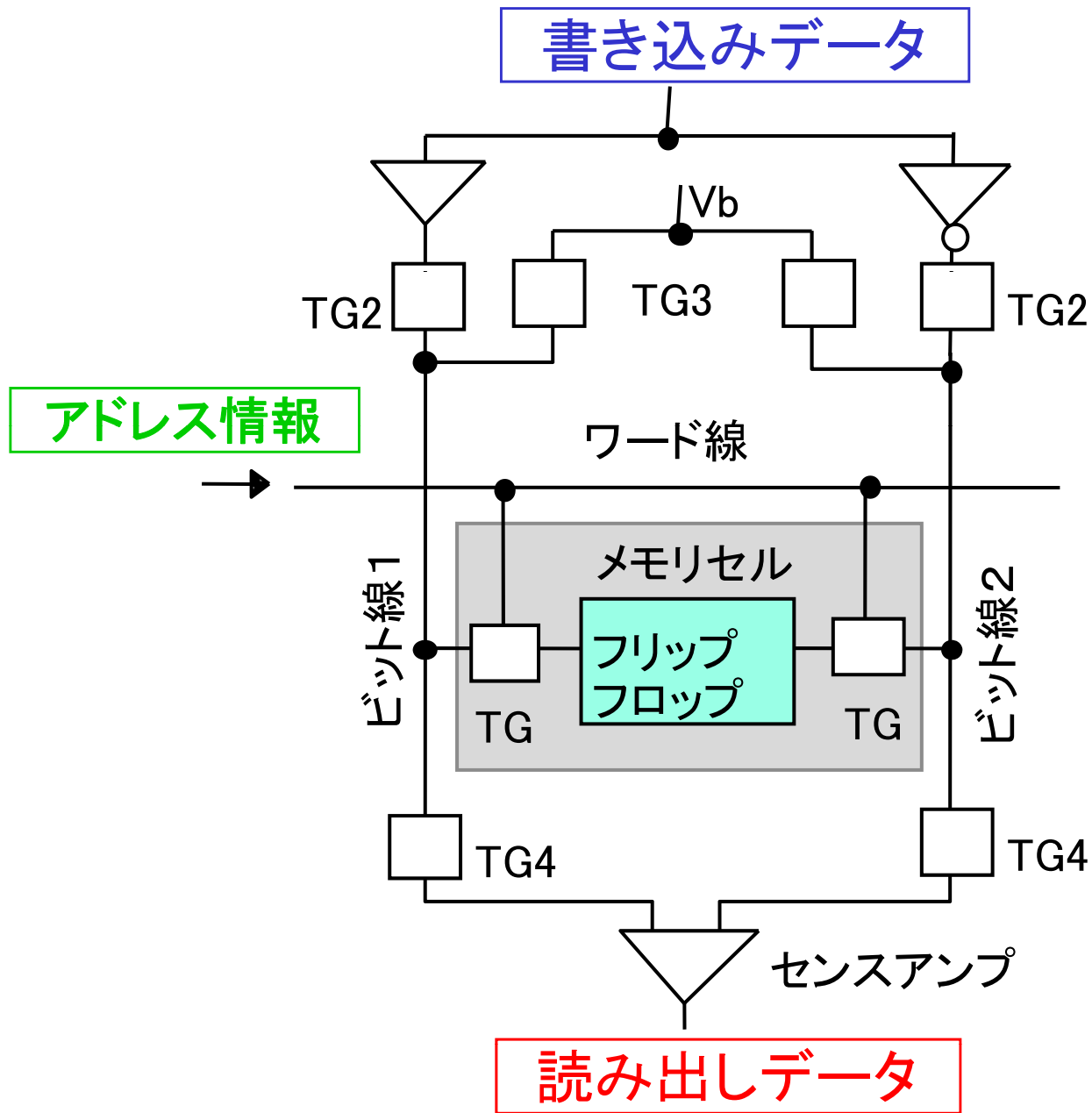
インバータのp-MOSの代わりに抵抗負荷を用いる。高抵抗を使用。

**p-MOS を使わないのでセル面積を縮小できる。**

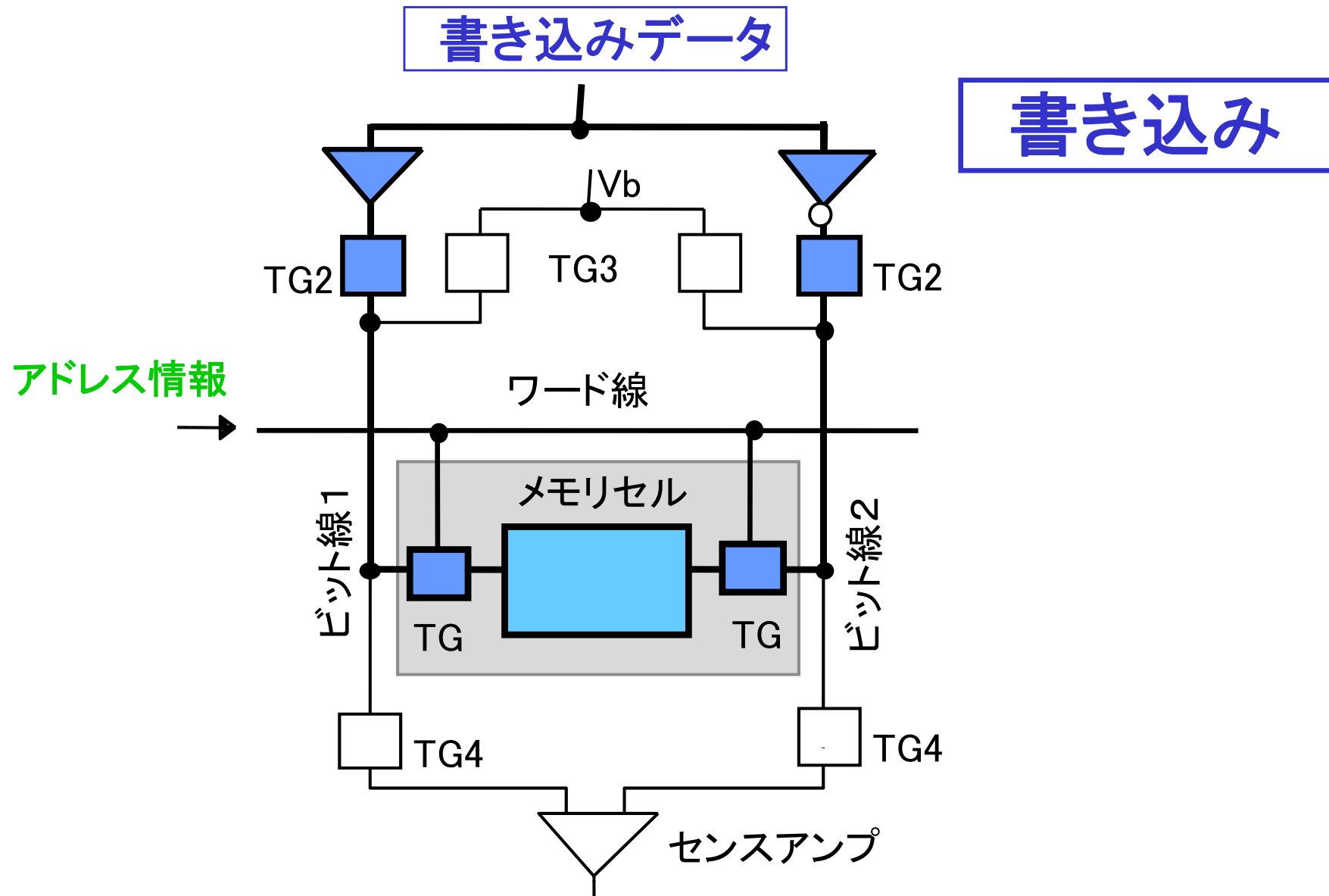
抵抗に定常電流が流れる。高抵抗のプロセスが必要。

メモリセルがハイレベルを出力する際には出カインピーダンスは負荷抵抗となり高いので、動作速度が遅くなる。

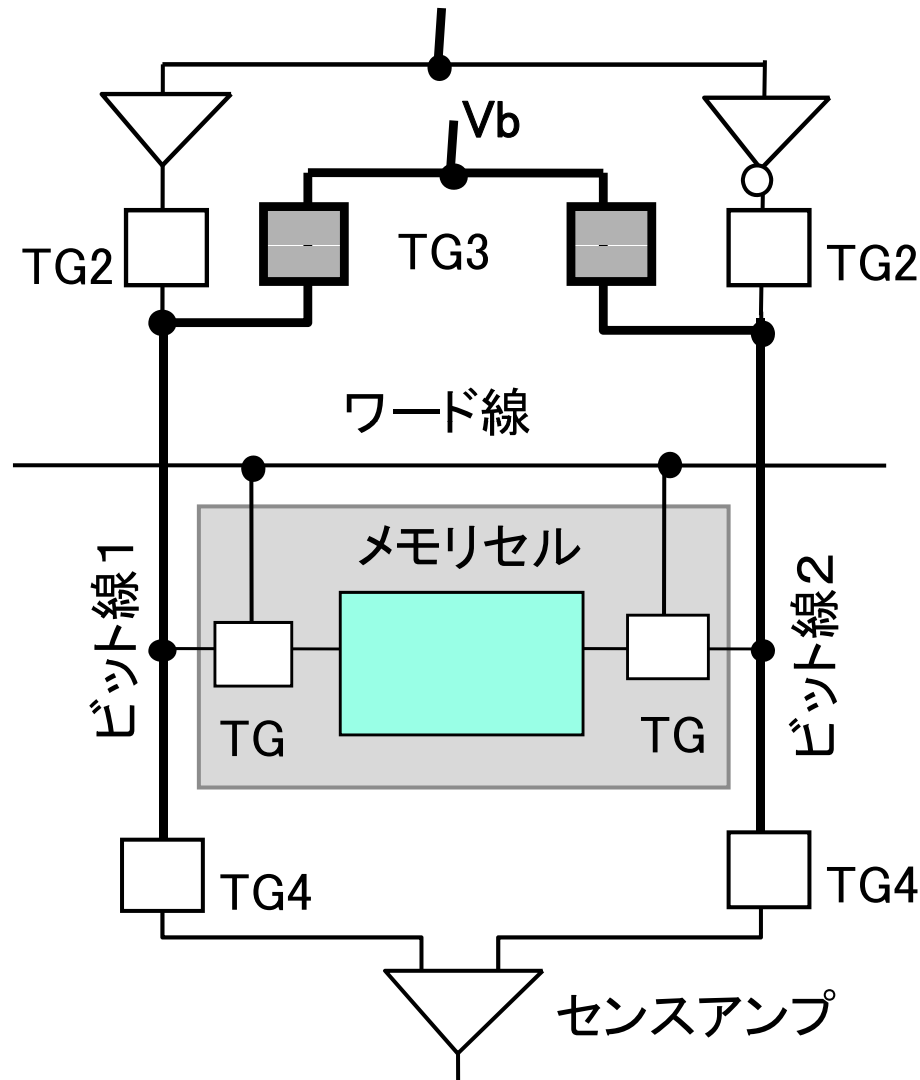
# SRAM回路



# SRAM回路

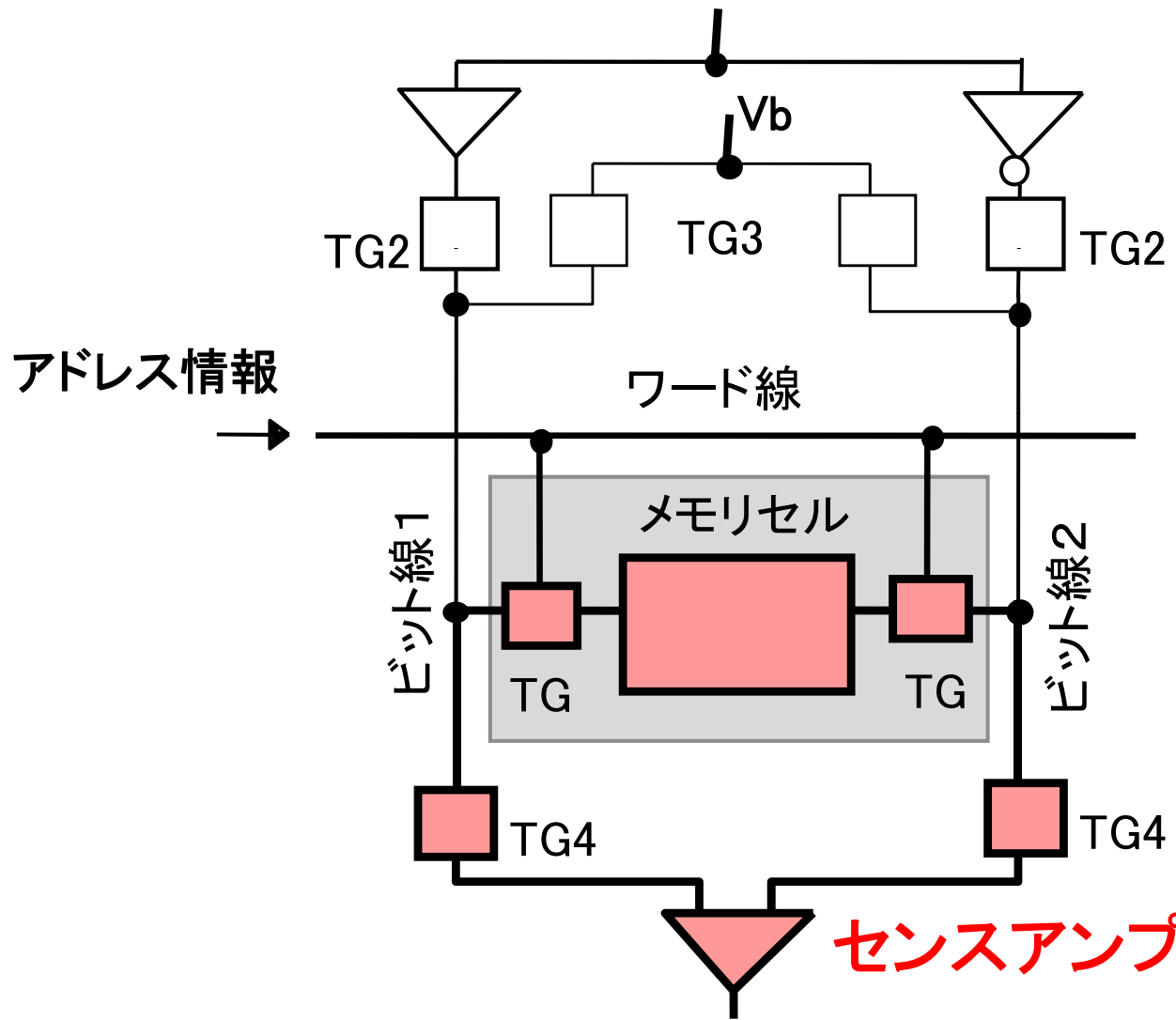


# SRAM回路



ビット線プリチャージ  
Vb (中点電位)

# SRAM回路



**読み出し**

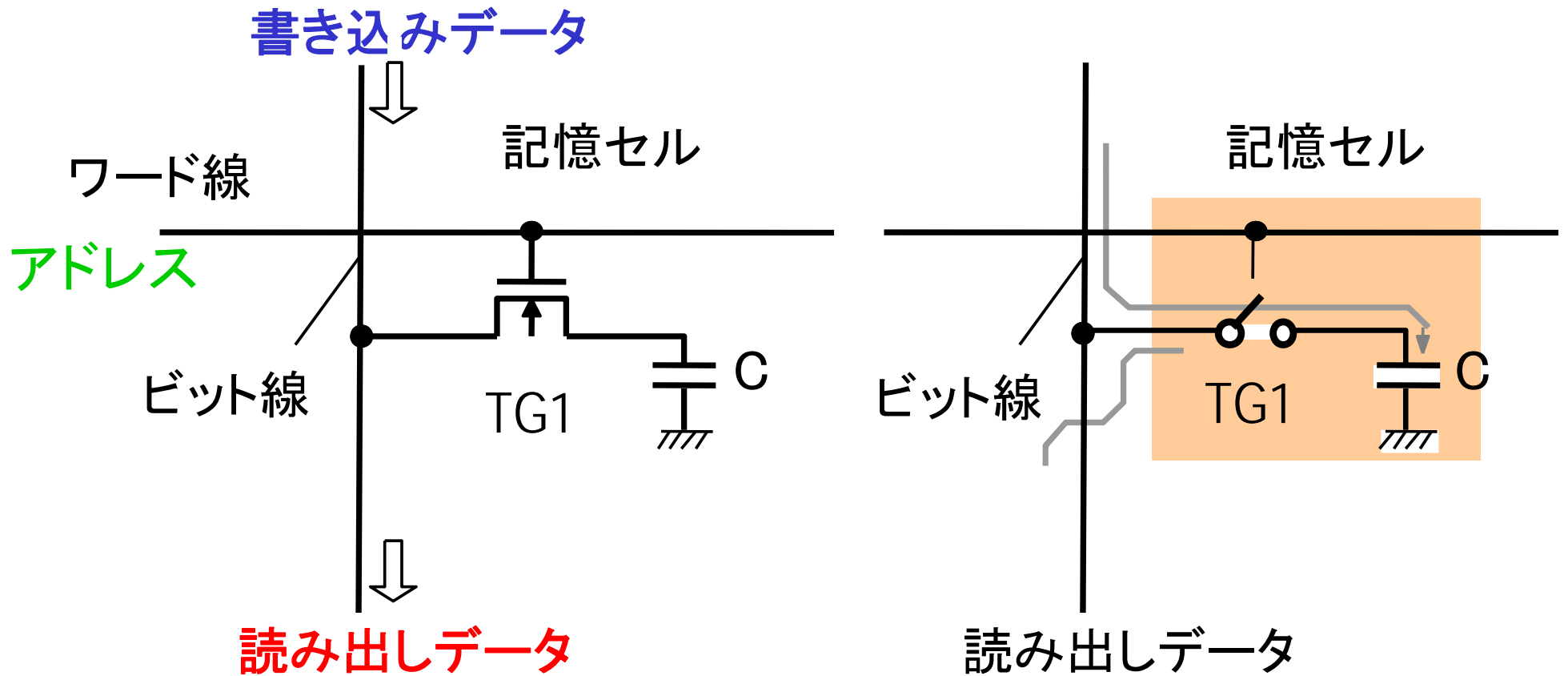
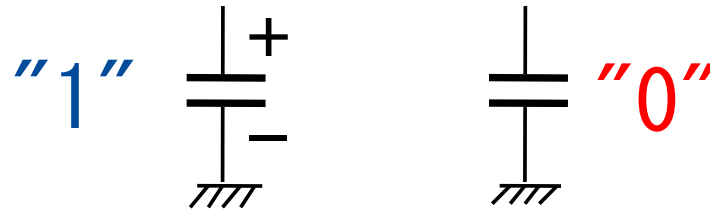
読み出しの速度  
Read Access Time  
速い 1~10ns  
メモリセルが電源から  
電力をもらって  
出力する。

**読み出しデータ**

論理振幅を増幅  $0 \sim V_{dd}$

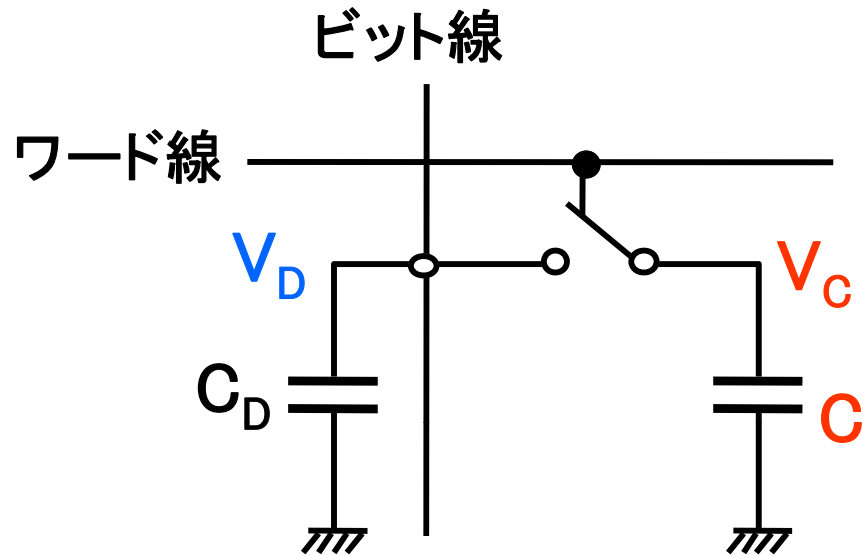
# 静電容量(キャパシタ)を用いたメモリ

容量Cの電荷の有無で1bitを記憶



## DRAM: ダイナミックランダムアクセスメモリ

## DRAMの記憶セル(メモリセル)

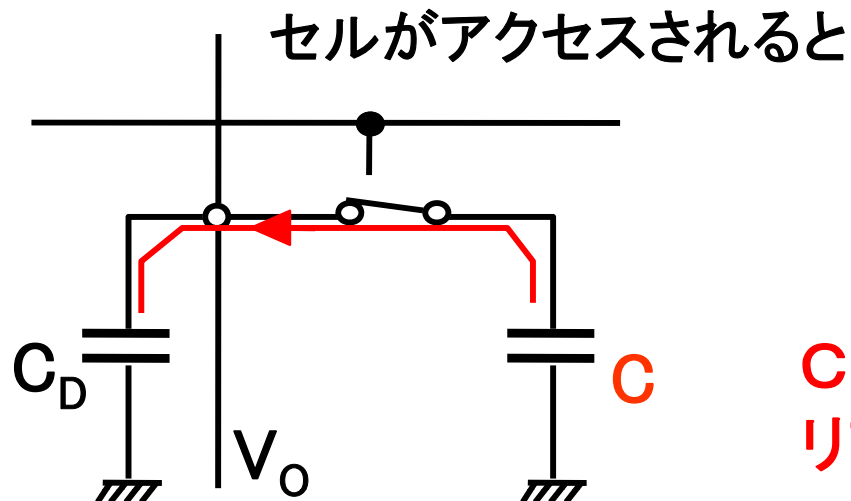


$V_C$  : 記憶容量の電圧

$V_D$  : ビット線の初期電圧

ビット線の出カ電圧

$$V_o = \frac{C V_C + C_D V_D}{C + C_D}$$

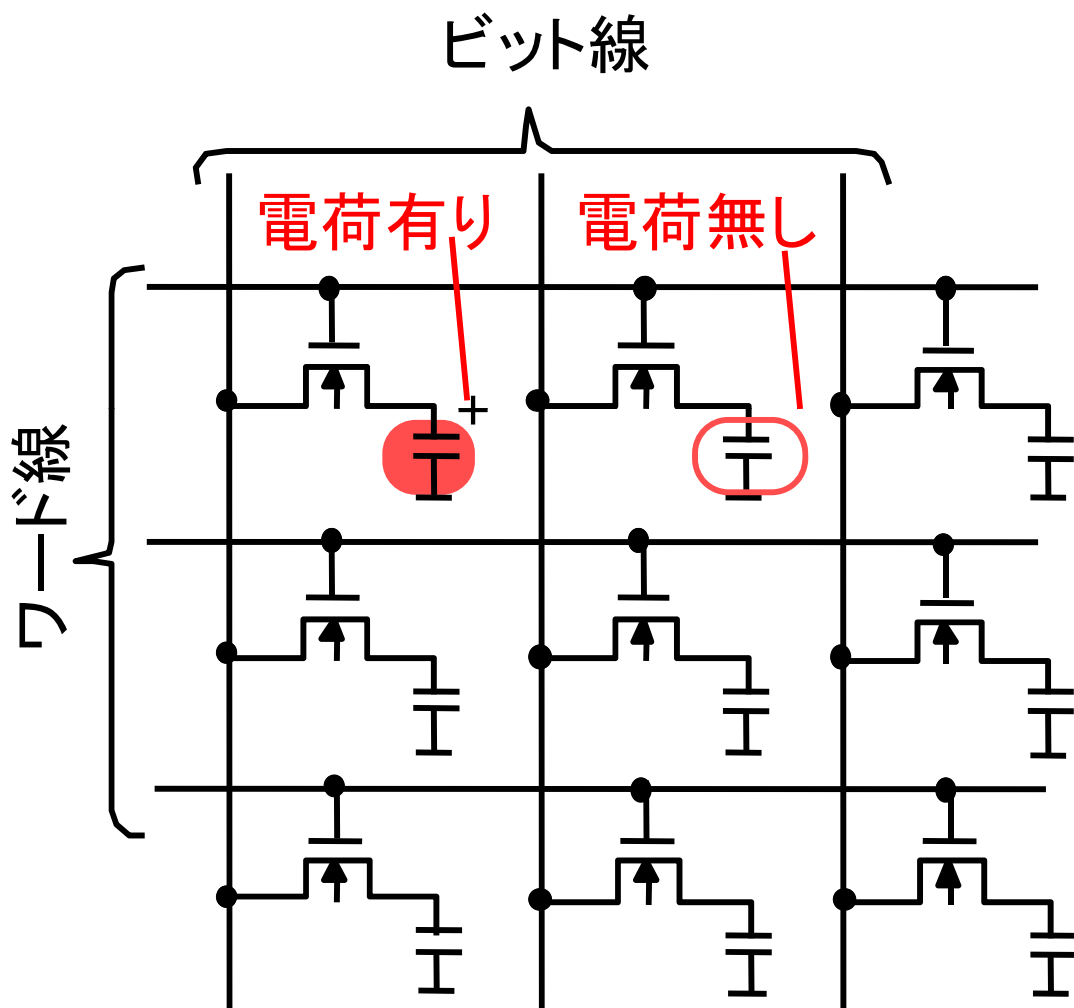


破壊読み出し

$C$ の電荷がリーク電流で減るので、リフレッシュが必要



# DRAMメモリセルアレイ



“1”の書き込み:

容量の電荷を充電

“0”の書き込み: 放電

“1”の読み出し:

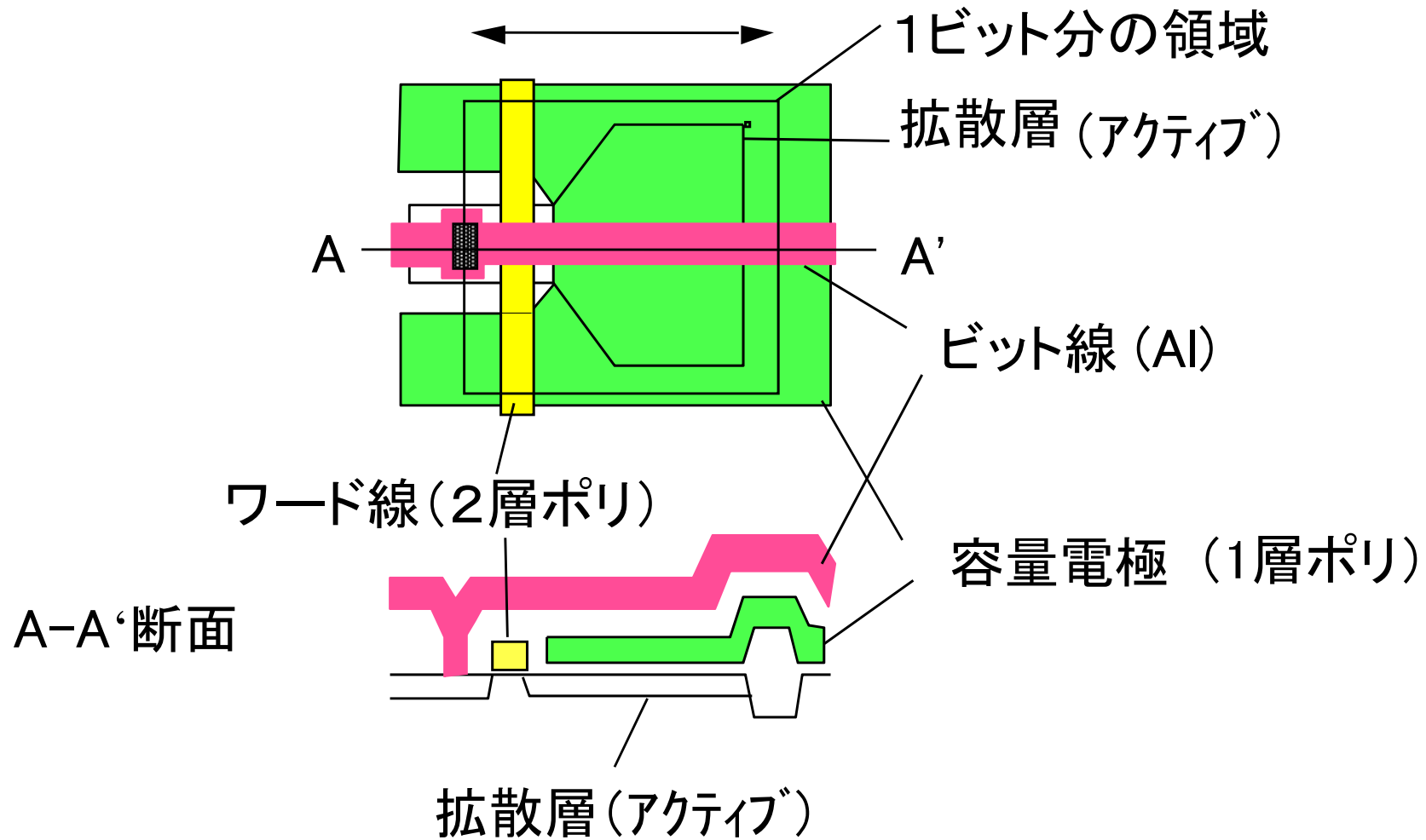
容量をビット線に接続、

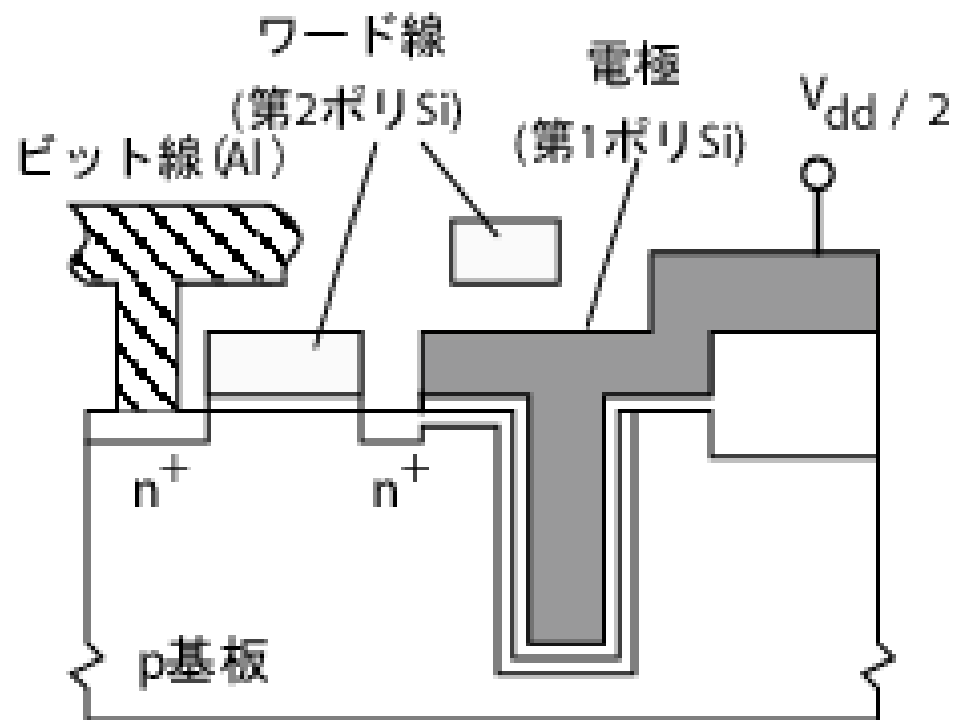
ビット線電位が上昇

“0”の読み出し:

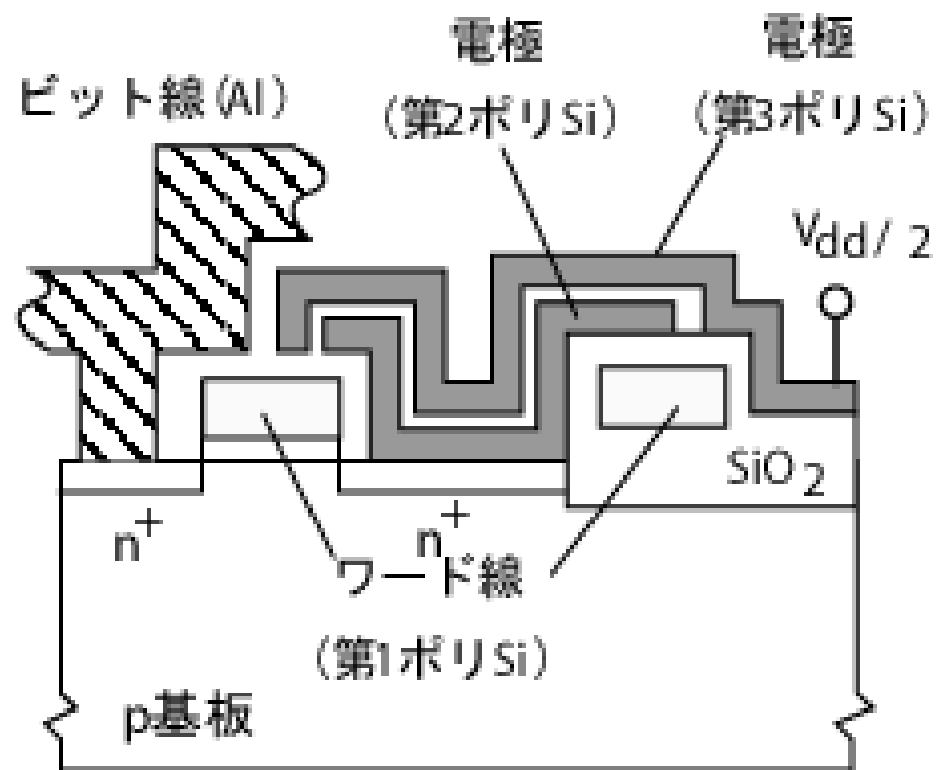
ビット線電位が低下

# DRAMセル断面図



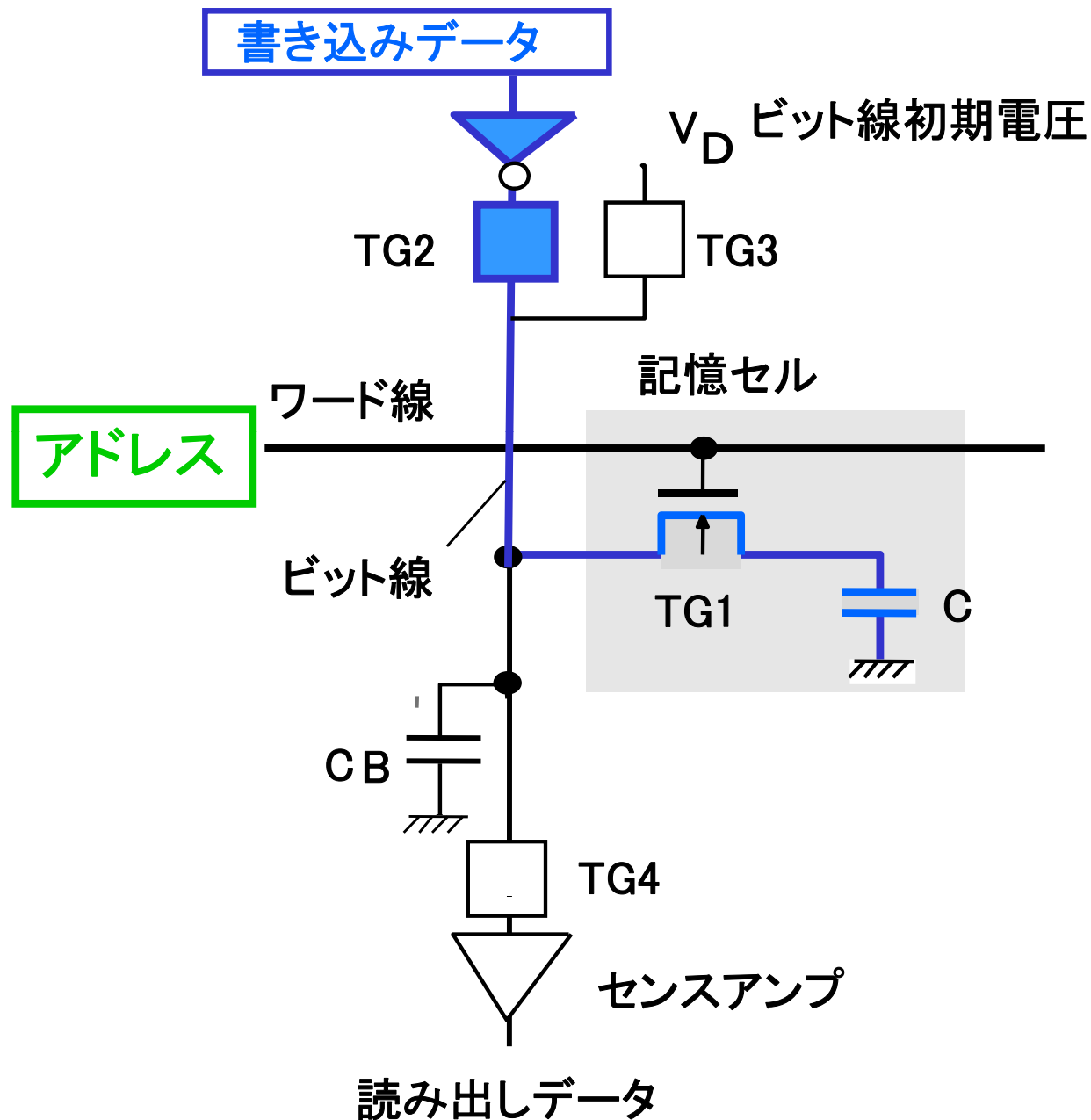


(a) 溝(トレンチ)キャパシタを用いたDRAMセル



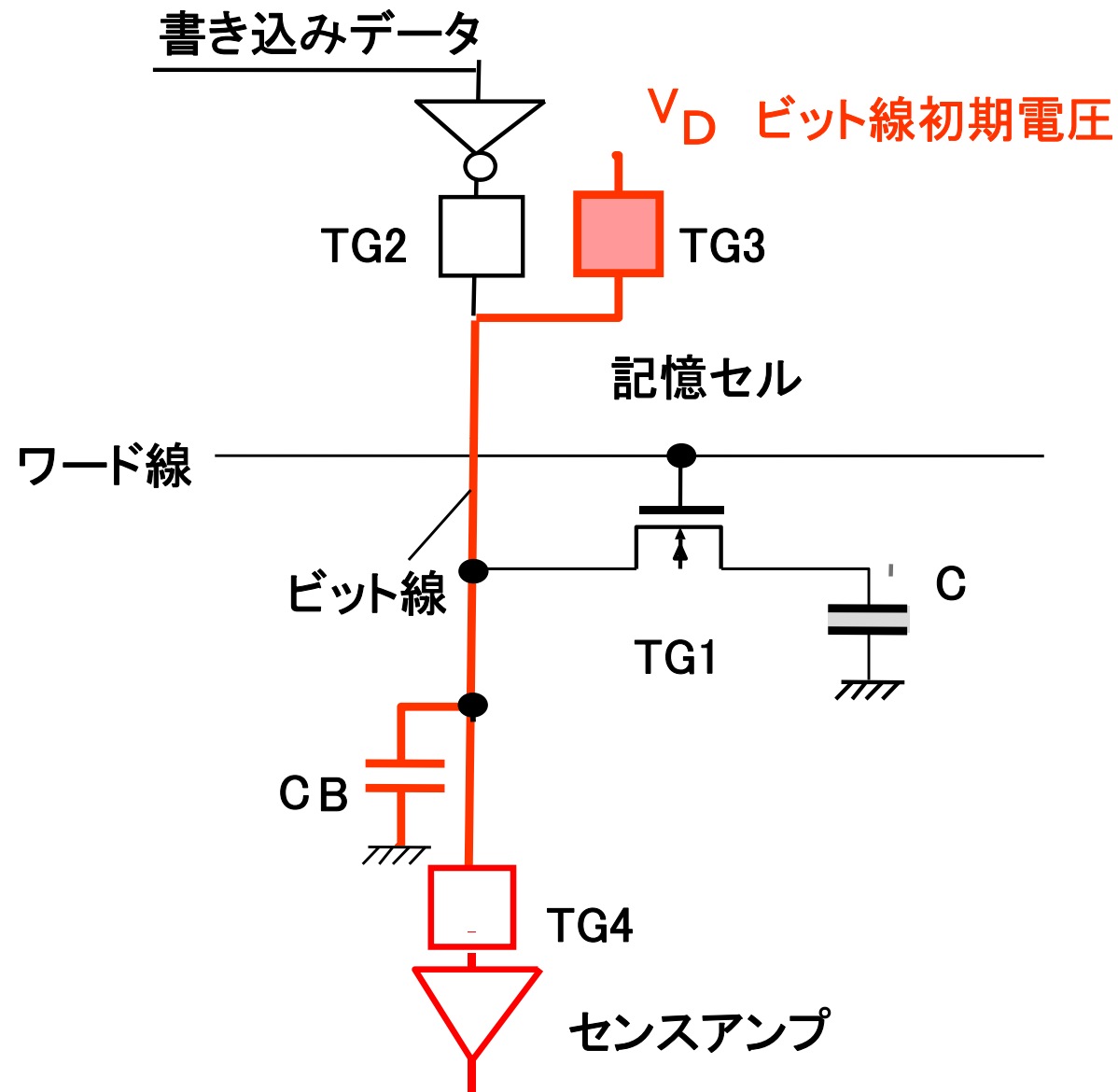
(b) 積層(スタック)キャパシタを用いたDRAMセル

# DRAMリードライト回路



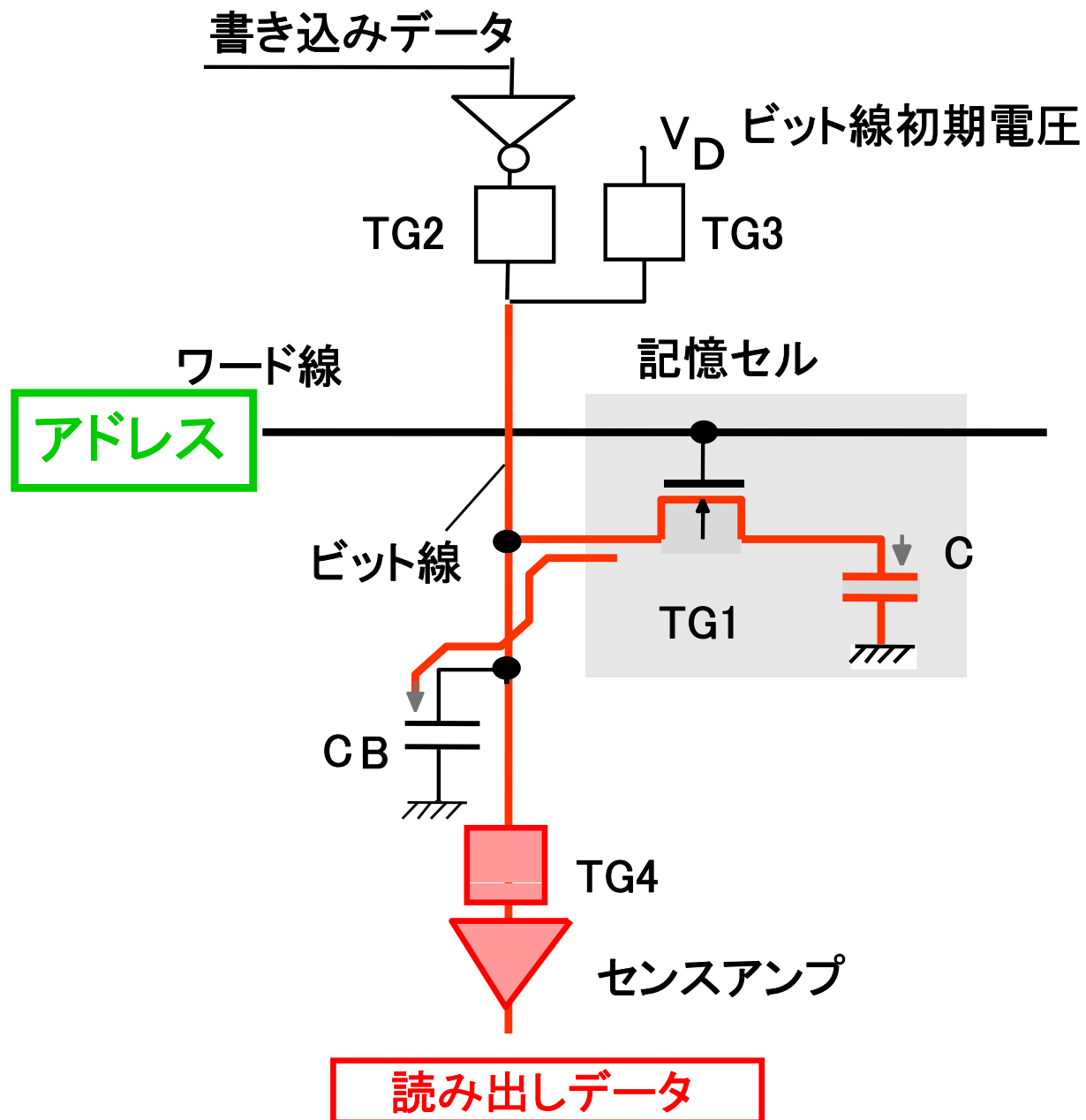
- TG1: セル選択用
- TG2: 書き込み用TG
- TG3: 初期設定用TG
- TG4: 読み出し用TG

# DRAMリードライト回路



- TG1: セル選択用
- TG2: 書き込み用TG
- TG3: 初期設定用TG
- TG4: 読み出し用TG

# DRAMリードライト回路



- TG1: セル選択用
- TG2: 書き込み用TG
- TG3: 初期設定用TG
- TG4: 読み出し用TG

メモリセルは受動回路  
電源から電力をもらわない  
Cに充電された電荷の  
エネルギーのみ

## 宿題 12月4日

DRAMとSRAMを比較して以下についてまとめ, その理由を簡単に書け.

	SRAM	DRAM
記憶セルの素子数		
記憶の原理		
記憶密度の大小		
データ読み出し電圧 の大小		
データ読み出し速度 の速い遅い		
破壊読み出し／非破壊読 み出しか？		
リフレッシュの要否		

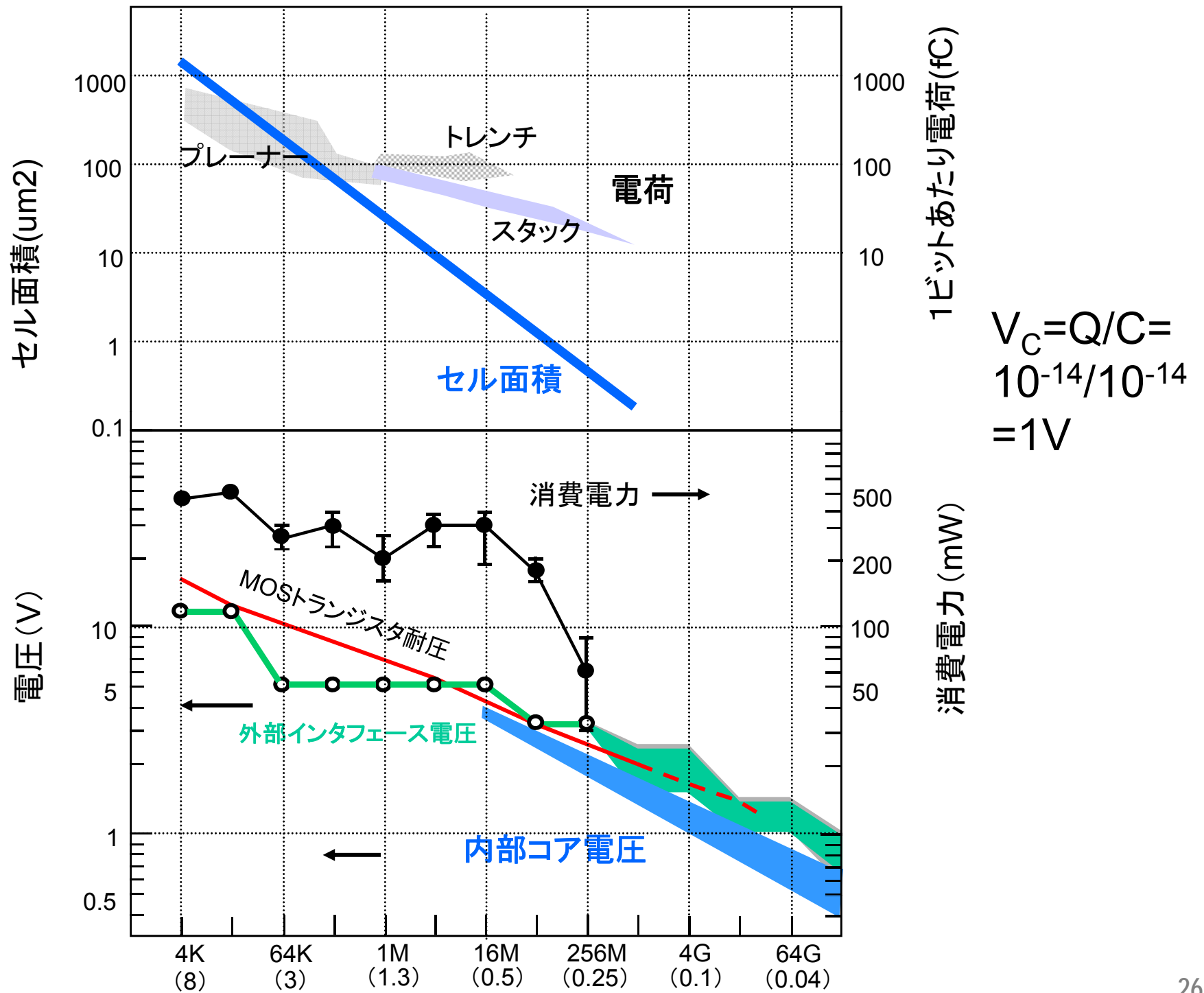
宿題 12月4日 解答

DRAMとSRAMを比較して以下についてまとめ, その理由を簡単に書け.

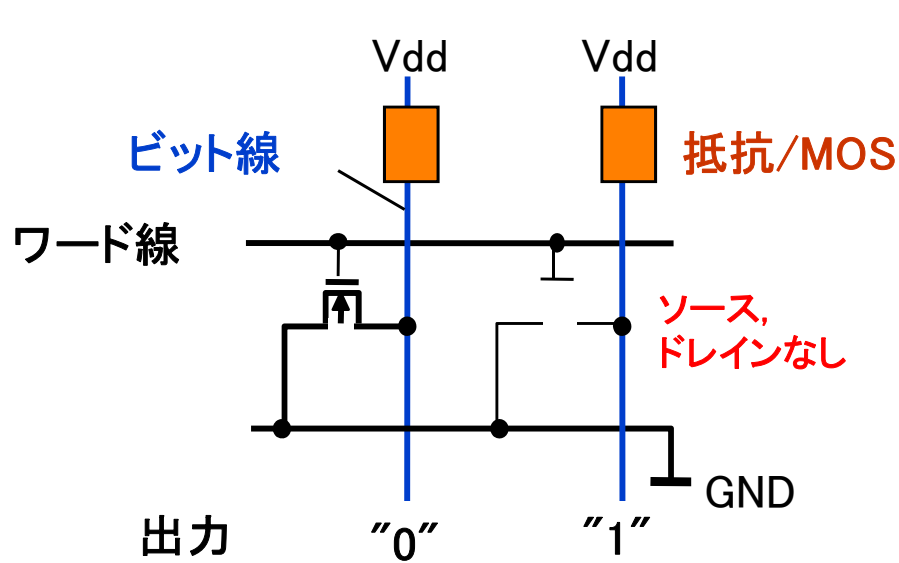
	SRAM	DRAM
記憶セルの素子数	6個のMOS あるいは 4個のMOS+2個の抵抗	1個のMOS+1個の容量
記憶の原理	双安定回路の状態	容量の充電/放電
記憶密度の大小	小(1) 素子数が多い セル面積が大きい	大(4) 素子素が少ない セル面積が小さい
データ読み出し電圧 の大小	大 記憶セルが電源から 電圧を供給する	小 記憶セルが受動回路 電源からエネルギー供給がない
データ読み出し速度 の速い遅い	速い 記憶セルが電源から ビットラインを充電	遅い 読み出し電圧が小さく 増幅するのに時間がかかる
破壊読み出し/非破壊読 み出しか?	非破壊 双安定回路が情報を保持	破壊 記憶セルから電荷を送り出す ことにより読み出すため
リフレッシュの要否	否 双安定回路が情報を 保持しているので	要 容量の電荷がリーク電 流で放電して情報消滅



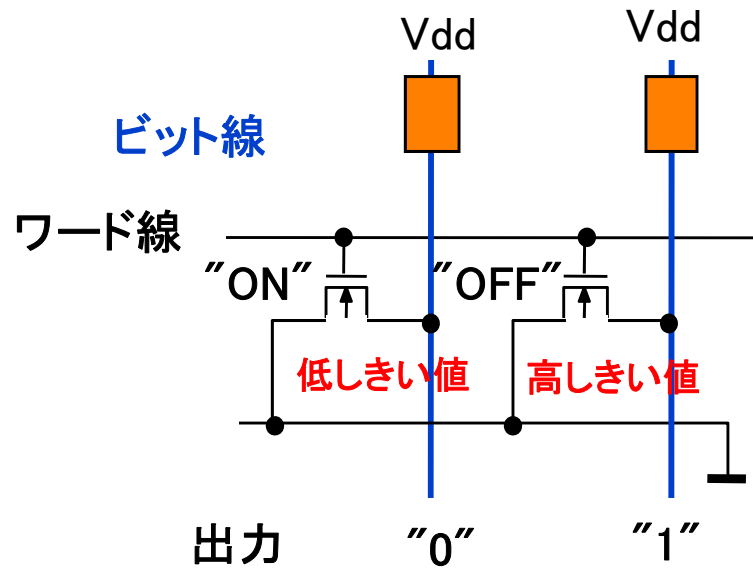
メモリ容量(ビット) 設計ルール(μm)



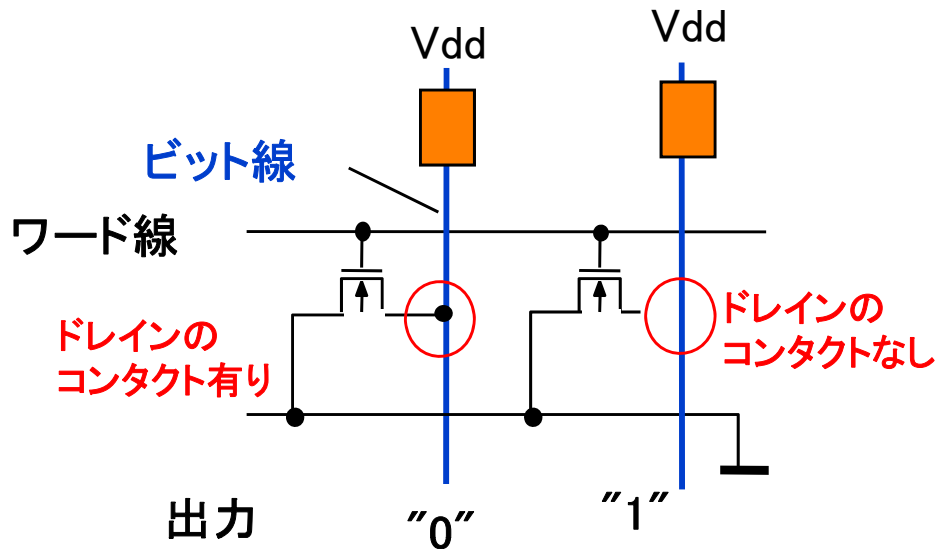
# ROMの記憶セル



(a) 拡散層プログラム



(b) しきい値プログラム



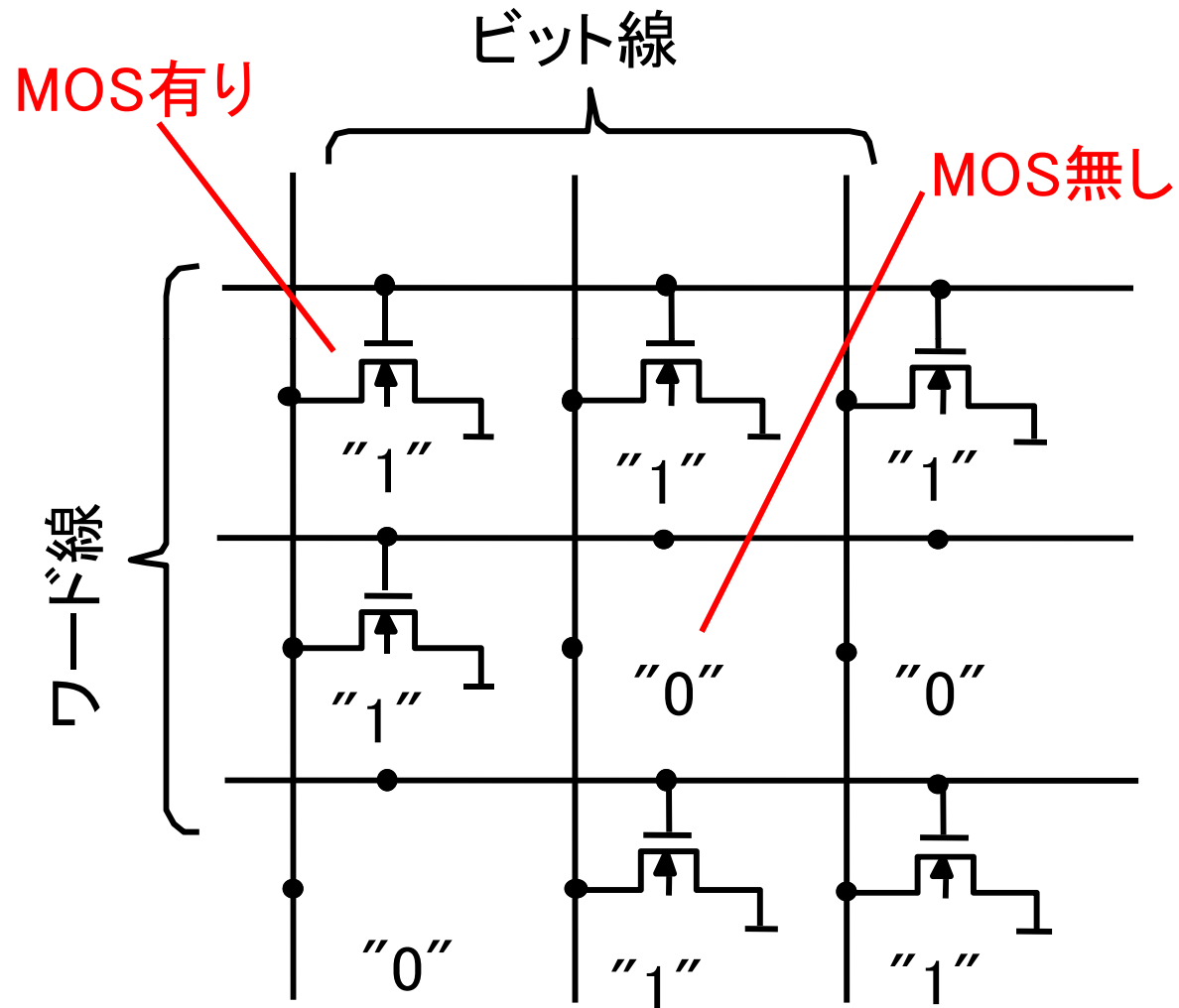
(c) コンタクトプログラム

電流が流れる経路があるかどうかで  
"1", "0" の情報を記憶する。

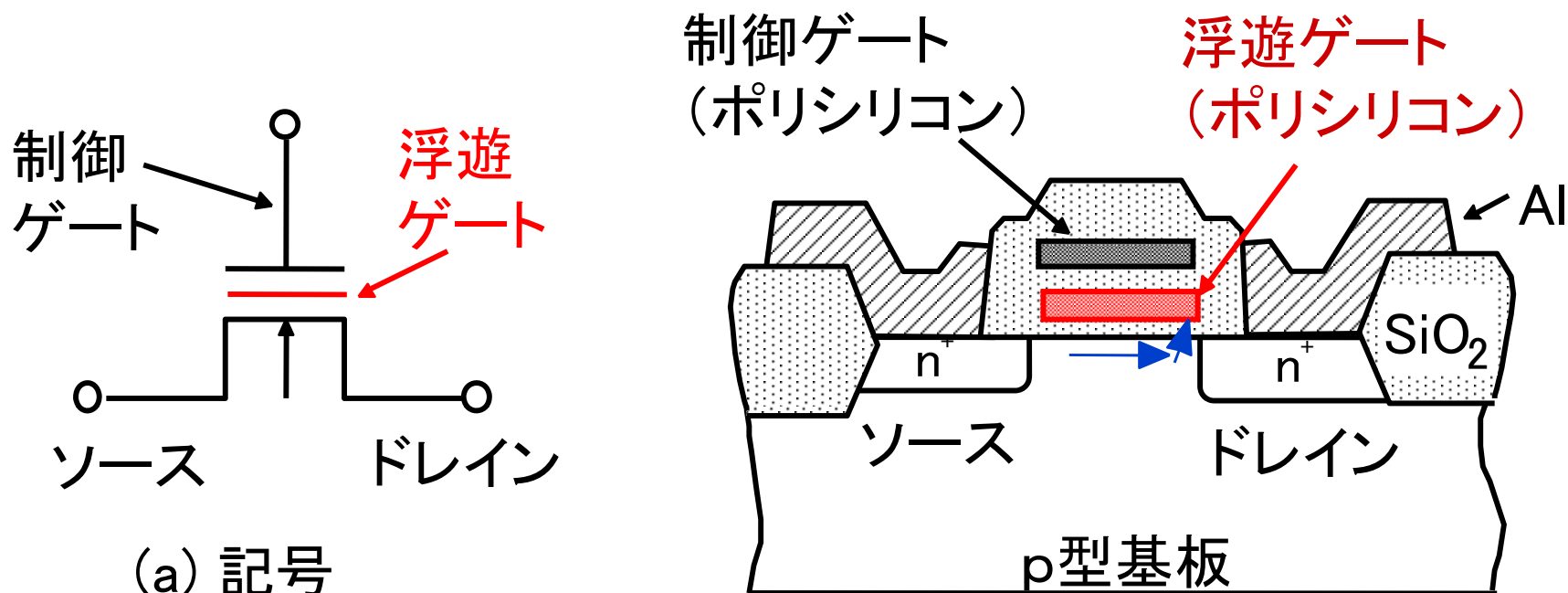
チップを作る時に情報が書きこまれる。  
情報の書き換えはできない。

チップ面積は小さい

# ROM メモリセル



# EPRMの記憶素子と断面図



(a) 記号

(b) 構造

浮遊ゲートに電子を注入するかどうかで記憶する

情報書き込みは浮遊ゲートへの電子注入

電子注入は制御ゲートの正の電圧を加えたとき

ドレイン接合付近の高電界によるおこる

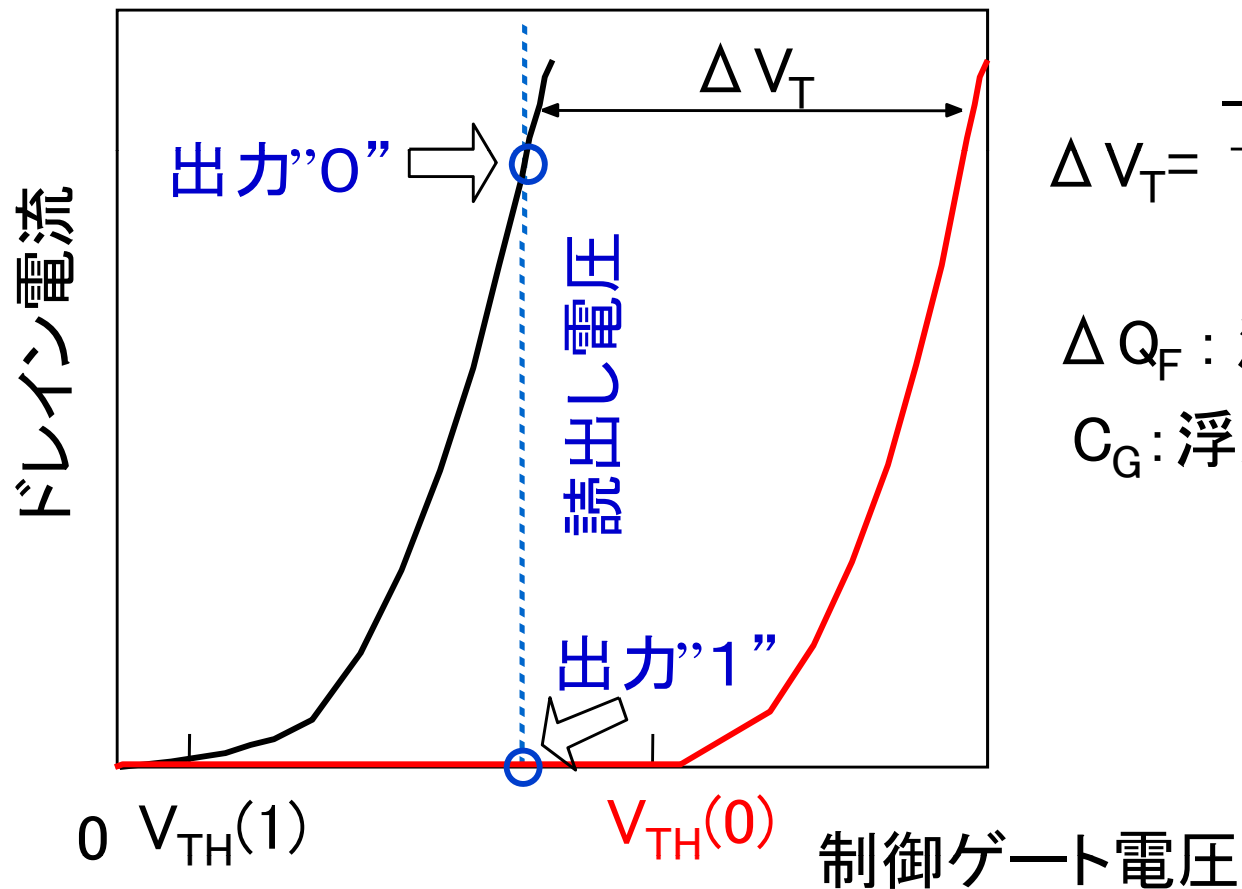
**電子なだれ現象**, あるいは **ホットエレクトロン** で電子を注入

消去: 紫外線をあてて注入されている電子を放出する

## EPRMの記憶素子電圧電流特性

電荷放出状態  
(データ"0")

電荷注入状態  
(データ"1")

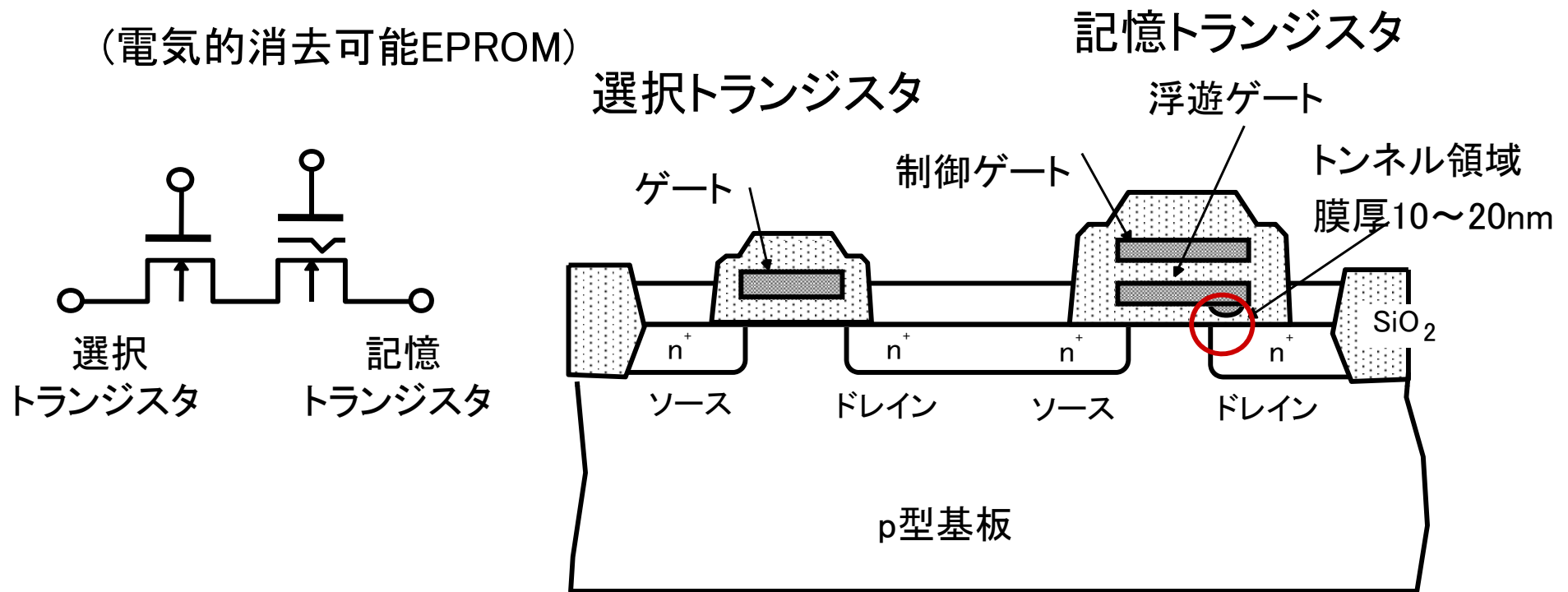


$$\Delta V_T = \frac{-\Delta Q_F}{C_G}$$

$\Delta Q_F$ : 注入電荷量

$C_G$ : 浮遊ゲート容量

# EEPROMの記憶セルと断面図



制御ゲートに正電圧 を加えて

トンネル電流で浮遊ゲートへ電子を注入

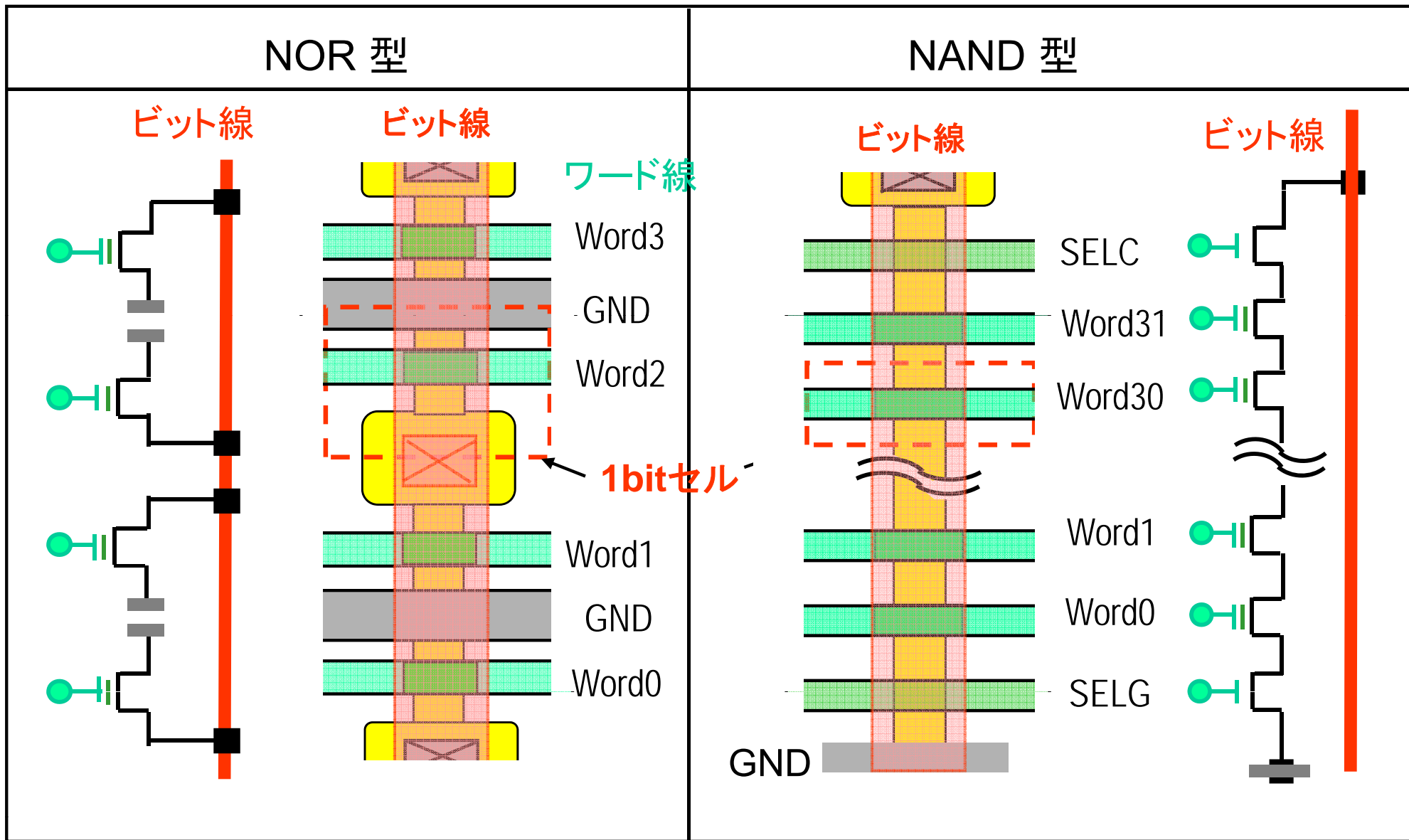
しきい値が上昇, オンしない, 出力電圧はハイ "1"

制御ゲートに負電圧 を加えて

トンネル電流で浮遊ゲートの電子を放出

しきい値が上昇しない, オンする, 出力電圧はロー

# フラッシュメモリのセル構成



## 各種メモリの特性

種類	セル構成	データの変更		データ 保持電流
		書き込み方法	セル部分の 書き込み時間	
EPROM	1MOS	紫外線消去 + 電氣的書き込み	数100 $\mu$ s	不要
EEPROM	1MOS + 1トンネル領域	重ね書き	数ms	不要
Flash Memory E <sup>2</sup> PROM	1MOS	電氣的消去 (注1) + 電氣的書き込み	数 $\mu$ s (注2)	不要
DRAM	1 MOS + 1 C	重ね書き	$\approx$ 20 $\mu$ s (注3)	リフレッシュ が必要
SRAM	6 MOS 4 MOS + 2 R	重ね書き	数ns (注4)	保持電流 必要

注1: 1M~16Mでチップ一括消去時間は1.5秒から数10秒

注2: 1バイトあたりの時間。ハードディスクと同じ512バイト単位で書き込む。

注3: デバイスとしての書き込み時間は数10ナノ秒

注4: デバイスとしての書き込み時間は数ナノ秒から数10ナノ秒まで各種。