

## 高機能アナログ・デジタル混載システム LSI 技術

岩田 穆<sup>†a)</sup>

High Performance Analog-Digital Mixed System LSIs

Atsushi IWATA<sup>†a)</sup>

あらまし 将来のシステムではアナログ回路とデジタル回路を混載した高機能 LSI が必須になる。特に無線ネットワーク、デジタル家電、ロボットなどにおいて、種々のアナログ機能の搭載がかぎとなる。RF 回路、A・D 変換器、フィルタなどの回路設計の研究が進んでおり、微細化 CMOS で高速、高周波化が達成されるであろう。アナログ・デジタル混載 LSI 設計で課題となる基板クロストーク雑音の測定と解析技術について述べる。基板雑音測定はオンチップ化した高速コンパレータを用いてサンプリング原理により実行される。LSI テスタを用いた自動測定で、100  $\mu\text{V}$ 、100 ps の測定分解能が達成された。また、F マトリックス演算による基板等価回路モデル作成法が開発され、チップ規模の解析が可能になった。アナログ・デジタル混載 LSI の将来の応用分野として脳型処理システムが重要である。このためのパルス変調を用いたアナログ・デジタル融合回路アーキテクチャについても述べる。

キーワード RF 回路、A・D 変換器、基板雑音測定、基板雑音解析、脳型処理

### 1. ま え が き

現在、アナログ集積回路技術とアナログ・デジタル混載システム LSI の重要性が高くなっている。これまでの研究開発で、CMOS デジタル回路が主役になり、CMOS アナログ回路の基礎が確立した[1]。更に 0.1  $\mu\text{m}$  程度の微細化 MOS デバイスの遮断周波数は 100 GHz に達し、1 GHz 以上の無線周波数 (RF) 回路も CMOS で実現できるようになった[2]。CMOS 技術を用いて、RF 回路、アナログ回路、デジタル回路を実現できるので、高度な情報処理、無線通信、制御などのシステムに必要な機能を同一チップに搭載できる。将来、人間との通信機能や脳のような処理機能をもつシステムが重要となり、ここでもアナログ技術がかぎになるであろう。デジタル LSI ではデバイス微細化、配線の高速化による高性能化の道程が明確であるのに対して、アナログ・デジタル混載 LSI の技術課題は多様であり、その解決策も模索段階といえよう。多様な要求を、回路、デバイス、実装などの総合技術で解決する必要があり、それを担う技術者の育成が必須である。本論文ではアナログ・デジタル混載 LSI 技術の現状と課

題、そして将来方向について述べる。

### 2. アナログ・デジタル混載の役割と課題

#### 2.1 役割

ネットワーク時代を迎えて高機能情報システムを小型、低コストで実現するために、システムの機能をワンチップに集積化システム LSI (システムオンチップ) が不可欠となっている。各種のネットワークやマルチメディアは高速デジタル技術と VLSI 技術で実現されたが、システム LSI では高性能なアナログ回路を混載することがかぎになっている。将来のシステムは、人間とのインタフェース、ロボットのようなメカとのインタフェース、自然界とのインタフェースなどをもつであろう。将来のアナログ・デジタル混載 LSI の機能構成を図 1 に示す。音声や画像情報のセンサとそのインタフェース回路、表示装置やメカの駆動インタフェース、ネットワークや大容量記憶装置など情報源とのインタフェースは既に搭載が始まっている。更に、GHz 帯無線回路、バッテリーの小型化、省エネルギー化のための電源回路、脳型アルゴリズムによる知能処理回路も搭載されるであろう。

#### 2.2 課題

デジタル集積規模は膨大化し、クロック周波数は向上し、消費電力は増加する。アナログ・デジタル混載 LSI は、このようなデジタルチップに、高精度、

<sup>†</sup> 広島大学大学院先端物質科学研究科，東広島市  
Graduate School Advanced Science of Matter, Hiroshima University,  
Higashi-hiroshima-shi, 739-8530 Japan

a) E-mail: iwa@dsl.hiroshima-u.ac.jp

広帯域で雑音やばらつきに敏感なアナログ回路を混載するのであるから、困難な課題を抱えている。

CMOSの微細化がパターン寸法0.1 $\mu$ mに進むと、耐圧が低下し、電源電圧が1Vになる。図2に電源電圧の低下の傾向を示す。デジタル電源は0.5V以下に低下するのに対して、アナログ回路はダイナミックレンジや精度を確保するために、デジタルに合わせた電源電圧の低下は不可能になっている。そこで、ゲート酸化膜厚を2種類にしてデジタル用の薄い酸化膜厚とアナログ用の厚い酸化膜厚の耐圧が低下しないデバイスを混載するプロセス技術も使われるようになった。また、信号の電圧振幅の低下、デバイスの雑音の増加などを解決するための回路技術の工夫も従来以上に重要となる。微細化によるロジックの集積規模とクロックの増加に伴って、チップ当りの消費電力は増加し、電源電圧の低下と相まって電源電流が大幅に増加する。アナログ・デジタル混載ではロジックの動作時の過

渡電流変化がチップ基板に注入され、これが伝搬して起こる基板クロストーク雑音は解決するのが難しい課題である。これについては4.で詳しく述べる。

アナログ・デジタル混載の設計は自動化、高精度化が難しく、特に周波数レンジが広く、大きくことなる時定数をもつ回路の設計と検証は時間がかかる。記述言語とシミュレータの問題、設計資産活用の課題があるが、ここでは項目を上げるのみにとどめる。

アナログ・デジタル混載システムLSIの本命デバイスはCMOSである。しかし、当面、高性能と低コストを実現するために、化合物デバイスと高Qのインダクタンス素子などを組み合わせる実装技術も使われている。マルチチップ実装、システムインパッケージ技術、チップオンチップ技術がある。

高機能の集積とピン数の増加によって、より効率的なテスト回路の組込みも必要になっている。

### 3. アナログ回路ブロック

#### 3.1 RF回路

携帯電話や無線LANはデジタル変調方式が用いられるが、アンテナ側に種々のアナログ回路が必要である。無線通信用のアナログ回路は、高周波(RF)回路、中間周波(IF)回路、ベースバンド回路で構成される。RF回路はGHz以上の無線周波数で動作するローノイズアンプ(LNA)、ミキサ、送信パワーアンプ(PA)、電圧制御発振器(VCO)からなり、IF回路は100MHz程度のAGCアンプ、リミッタアンプ、帯域通過フィルタで構成され、ベースバンド回路は変復調器などで構成される。これまではSiやGaAsなどの複数チップで実現されていたが、これらを1チップ化し、外付け部品数を減らして小型・経済化する研究開発が活発になっている。LNAやVCOにはトランジスタ高周波性能が必須であるが、SiGe、CMOSデバイスの性能向上で道筋ができてきた。回路の低雑音化にはハイQのインダクタ素子や可変容量素子が必要であるが、これらの実現方法が課題である。

アンテナで受信した信号レベルはmVよりも低く、送信レベルはVレベルと高い。信号ダイナミックレンジが広い。また、周波数帯域はGHzのRF回路からkHzのベースバンド回路まで非常に広い。これを1チップ化するには回路間をアイソレーションして、クロストークを抑える技術が必要である。これを解決するためには回路設計とともにアイソレーション、基板構造の改革が求められる。

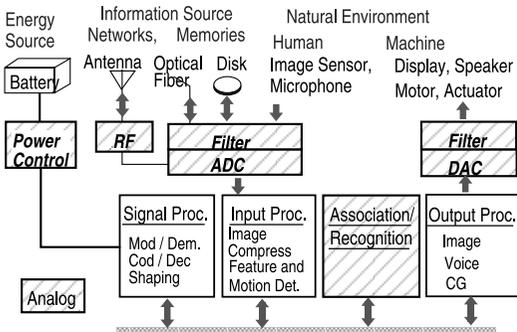


図1 アナログ・デジタル混載LSIの機能  
Fig.1 Functions of analog-digital mixed LSI.

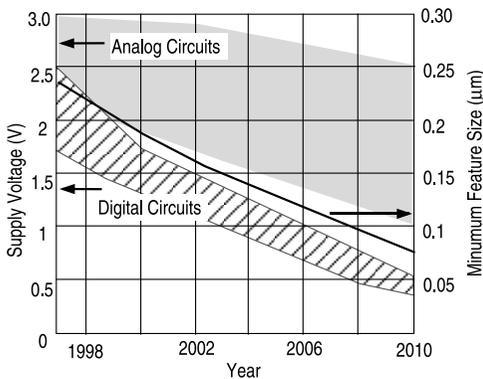


図2 微細化CMOS回路の電源電圧  
Fig.2 Supply voltage of scaled CMOS circuits.

高周波性能に優れたSiGeヘテロバイポーラデバイスが用いられ、BiCMOS 技術により、PLL もオンチップ化している。一方、CMOS デバイスの高周波化も著しく2~5GHz帯は実現できるようになった。短距離無線データ通信方式 Bluetooth用のトランシーバチップが中間周波数を用いないダイレクト変換方式を用いて、開発された[3]。5 GHz無線LAN用のトランシーバチップのアナログ部のブロック構成を図3に示す[4]。4 GHzと1 GHzの局部発振器を用いて、スーパーヘテロダイン方式とダイレクト変換方式を結合した方式を開発して、PA、VCOを含めて0.2 μmCMOS 技術で1チップで実現している。ただし、LPFは外付け部品を用いている。将来的には微細なCMOS 技術で、ビットレート低減のためのデジタル回路や音声や画像の符号復号器を、RF回路も含めてチップ統合することも可能になる。

RF回路設計には、寄生素子を考慮したデバイスのRFモデルとRF回路用の評価尺度と解析法が必要である。アンプやフィルタの小信号線形解析では不十分であり、複数周波数成分の入力に対する解析、非線形形の振幅依存性の解析が必要になる。アナログ設計で広く使われる回路シミュレータSPICEでは解析できない特性は位相雑音である。SPICEで解析可能であるが解析時間が長く効率が悪い特性はひずみ特性、混変調ひずみ特性がある。非線形解析にはハーモニックバランス法が用いられる。回路定数の設計にはハーモニックバランス法を用いて最適化設計を行い、SPICEで最終確認する方法が用いられる。RF回路では、デバイスや配線の容量、インダクタンスなど寄生素子に対する感度が高い

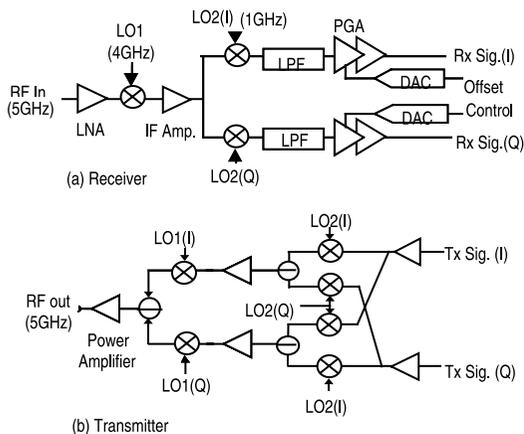


図3 5GHz無線LAN用RF回路構成  
Fig.3 RF circuit block of 5GHz wireless LAN.

ので、レイアウト最適化と精密な検証が必要である。

チップ搭載機能の向上とともにテスト技術の高度化が必要となる。広帯域のアナログ回路では時定数のレンジが広く、遅い帰還ループが安定化するのを待つ時間はなくす必要がある。また、効率を上げるためには、テスト回路のオンチップ化が必須である。

### 3.2 A・D変換器

A・D変換器はアナログ・デジタル混載LSIの基本回路機能である。VLSIの微細化によって論理回路のクロック周波数が向上して、アナログ信号処理に比べて、機能、精度、安定性の点で優れたデジタル信号処理が使用できるようになった。性能は図4に示すように分解能と変換周波数で表される。同図には主なシステムの要求性能も示されている。分解能と変換周波数を両立させる研究が進んでいる。A・D変換器回路には図に示すように多くの方式がある。

大容量の記憶装置の読出し回路、無線通信の受信回路、A・D変換器の性能が向上するほど、アナログ回路をデジタル回路に変えることができる。前述したように、高速ネットワークや無線通信の進歩が急であり、ここでA・D変換器がシステムの性能を左右している。可能な限り高周波でA・D変換して、アナログ処理していたものをデジタル処理化し、更にこれをソフト化することも考えられている。ソフトウェア無線と呼ばれるが、高速、低電力のA・D変換器である。

2002年のISSCCではCMOSデバイスで4Gサンプル/秒の8ビットA・D変換器が発表された[5]。これは128Mサンプル/秒のA・D変換器を32回路インタリーブして並列動作させることにより4GHz動作を達成してい

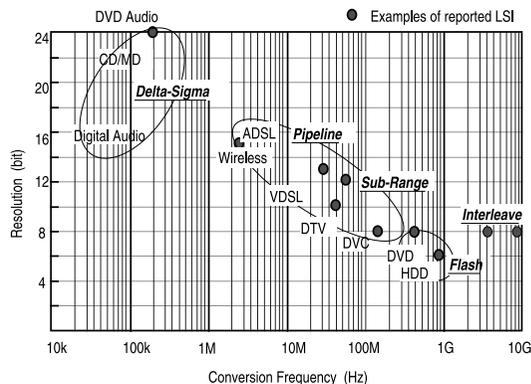


図4 A・D変換器の性能  
Fig.4 Performance of A-D converters.

る。測定器では消費電力、コストの要求が携帯電話と比べると厳しくないで、強引な手法ともいえるが、将来の高速化の方向を示している。

3.3 フィルタ

CMOS-LSIに適したアナログフィルタとして、表1に示すようにスイッチトキャパシタフィルタ(SCF)とgm-Cフィルタがある。また、図5には両フィルタで実現できる信号周波数と回路のQを示す。

SCFはオペアンプと容量素子とアナログスイッチで構成され、1MHz以下の低周波で用いられる。容量の比とクロック周波数でフィルタの特性周波数が決まるので、無調整で高い精度が得られる。しかし、高周波化はオペアンプのセットリング時間で制限される。フィルタの処理する信号周波数の10倍程度のクロック周波数が必要である。クロック周波数の周期の1/2程度でセットリングする必要がある。精度にもよるが、100

ns以下のセットリング特性の高速アンプとするためには大電流を流す必要があり、消費電力が大きくなる。また、アナログスイッチにはCMOSスイッチが用いられるが、このスイッチのオン/オフ動作にはゲートに加える制御電圧が必要である。オン抵抗とオフ抵抗の比が低下するとフィルタの特性が低下するので、電源電圧の低下に対して制限がある。

gm-Cフィルタは電圧入力電流出力のgmアンプ(OTA (Operational Transconductance Amplifier)とも呼ばれる)容量素子で構成される。このアンプは出力インピーダンスが高いのでオペアンプに比べて広帯域を低電力で実現できる。1MHz以上のフィルタ、例えば中間周波数帯フィルタに適する。周波数はgm/Cで決まる、Qはgmの比で決まる。製造ばらつきの吸収するための特性の調整が必要である。アンプのgmを外付けの高精度抵抗に合わせる回路とPLLのような帰還ループを用いた自動調整回路とがある。

gm-Cフィルタは種々の試作例があるが、図3のLAN用トランシーバチップではLPFは外付けにしているように実用化はこれからである。

表1 スイッチトキャパシタフィルタとgm-Cフィルタ  
Table 1 Switched capacitor filter and gm-C filters.

	SCF	gm-C Filter
Transfer Func.	Discrete Time	Continuous Time
Circuit Components	OPA vo=Avin Analog Switch Capacitor	OTA io=gm vin Capacitor
Frequency	f=C1/2πC2 fCLK f<100KHz	f=gm/2πC f>100KHz
Merit	High accuracy without trimming or tuning	Low Power Dissipation
Demerit	Analog switches limit low voltage op.	Tuning Circuits are needed

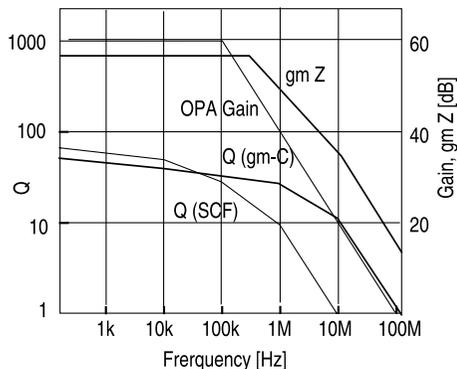


図5 集積化フィルタの性能  
Fig.5 Performance of integrated filters.

4. 基板雑音の解析技術と低雑音設計技術

4.1 基板雑音発生原理と測定技術

オンチップの基板雑音検出回路を図6に示す[6]。基板の電位変動を基板コンタクトで拾い、ソースフォロアで直流レベルをシフトして、ラッチコンパレータに入力する。コンパレータの入力に階段状の参照電圧(Vstep)を加え、ソースフォロアの出力電圧と比較した結果、ラッチコンパレータの遷移確率分布を得る。ラッチコンパレータのクロックの遅延時間を変えながら、この測定を繰り返すことによりサンプリングスコープ

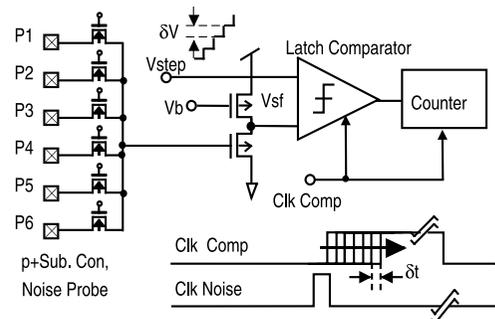


図6 オンチップ基板雑音検出回路  
Fig.6 On-chip substrate noise detection circuits.

の原理で波形を取得する。

基板雑音評価用の遷移制御雑音源(TCNS)を開発した。クロック信号が遅延回路を通過するに従い、アレー状に配置されたCMOSインバータからなる雑音ブロックが次々に動作し、基板に雑音を注入する回路である。これらの雑音源、雑音測定回路を搭載したテストチップを0.6 μm CMOS技術で試作した。図7に示すように、TCNSと基板雑音検出回路と基板には6個の基板コンタクト(P1 ~ P6)が配置してある。これらの一つを選択して基板雑音の波形を測定する。参照電圧( $V_{step}$ )のステップ間隔( $\delta V$ )と雑音波形をサンプリングする時間間隔( $\delta t$ )で決まる。それぞれ100 μVと100 psに設定している。

この測定により基板雑音には比較的高周波で変化する成分と低周波のリング成分が観測された。雑音のピーク間隔はTCNSのインバータ列の遅延時間と一致しているので、前者はロジックの動作時に発生する。雑音波形の幅はおよそ2 nsであり、ゲートのスイッチング時間に比べて10倍以上と長い。CMOS論理回路が反転するときの出力ノードの充放電は、周りに存在する寄生容量が電荷溜めの役割を果たし、そこから電荷が急速に移動することにより起こる。そして、電荷移動によって消費される電荷を補うように電源電流が流れる。このときにグランド配線の寄生インピーダンスに発生する電圧降下が基板コンタクトを通して基板に注入され、クロストーク雑音の原因となる。これが実

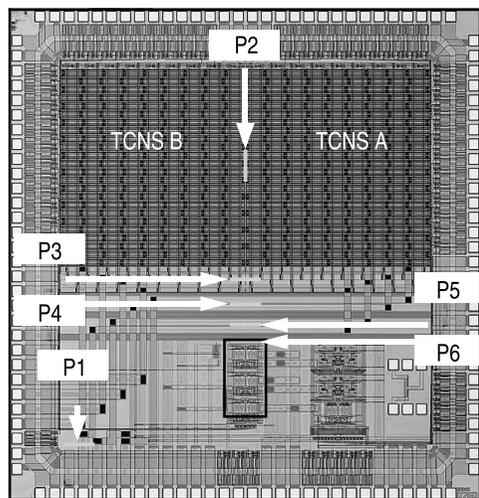


図7 基板雑音評価チップの写真  
Fig.7 Micro photograph of substrate noise evaluation chip.

験から導かれた雑音発生メカニズムである。

#### 4.2 チップレベル基板雑音解析手法

基板雑音の解析モデルを図8に示す。論理ゲートとグランド配線の下には多数の基板コンタクトが形成され、雑音が注入される。また、シリコン基板を伝搬する雑音電流の分布を3次元の抵抗メッシュで近似し、アナログ回路の雑音感度を考える。このモデルをSPICE記述するとノード数が膨大になるので、大規模なアナログ・デジタル混載LSIの基板雑音解析をチップ全体で一括して行うことは困難であった。

基板雑音解析のためにCADツールが開発、市販されているが、チップ全体を一括して解析する機能は十分ではない。我々は、F行列演算を用いて、解析ノード数を最初のメッシュノードから2けた減少できる方法を考案して、基板等価回路モデルの作成法を開発した[7]。基板及び基板上のグランド配線網を含むチップ全体をモデル化した抵抗メッシュは図9で示すように、基板の水平方向の配線網を示すH層、基板の基板コンタクト網を示すV層、基板の抵抗メッシュの水平

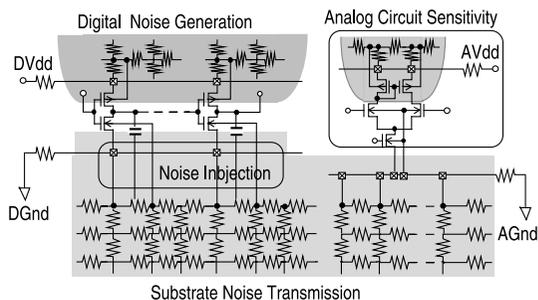


図8 基板雑音解析モデル  
Fig.8 Substrate noise model.

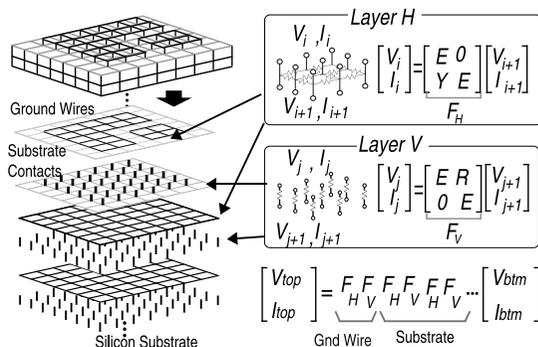


図9 Fマトリックスを用いた基板モデル  
Fig.9 Substrate model with ground wires using F-matrix.

方向のH層、及び垂直方向のV層を積み重ねることで表現できる。これらの各層の抵抗網をF行列で表す。F行列を定義できる回路網の縦続接続はF行列の縦属接続で表現できるので、各層のF行列の乗算によりチップ全体のF行列が得られる。F行列をもとにして演算を行い、明示的に解析するノード以外を削減し、全結合抵抗網を導出する。この回路網のYマトリックスに変換することにより、SPICE ネットリストを生成することができる。これをSPICEで解析する。このノード削減による精度の劣化は発生しない。解析時間はノード数300程度、100 nsの過渡解析で、CPU時間は1時間のオーダーであり、実用的に使える。

4.3 測定例とシミュレーション結果

基板雑音波形の測定結果とシミュレーション結果を図10に示す。9個の基板電圧のピークは9列の各雑音源ブロックがスイッチングするときが発生する基板雑音に対応している。また、P1からP6の各基板コンタクトでの雑音強度の測定結果より、注入された雑音が基板を伝搬するときの減衰の様子がわかる。シミュレーション結果は基板雑音の実測結果をよく再現している。波形はやや異なるが、雑音の振幅の測定結果とシミュレーション結果の誤差は10%程度であった。

4.4 低雑音 CMOS 論理回路

低雑音の CMOS 論理回路 (Reduced Substrate Bounce CMOS) を提案した[8],[9]。図11に回路図を示すように、普通のCMOSロジックに対し電源V<sub>dd</sub>側とグラウンド側の両方またはどちらか一方に適度の抵抗をもつ

ランジスタを挿入し、その内側にコンデンサ(C<sub>d1</sub>, C<sub>d2</sub>)を挿入した単純なものである。コンデンサからロジックに必要なチャージを供給し、放電されて失われた電荷を抵抗を通して比較的ゆっくり充電するので雑音を抑圧できる。図7と類似したテストチップを試作して実測した基板雑音ピーク値の雑音源回路数依存性を図12に示す。通常のCMOS論理に比べて、10分の1程度に低減できることが確認できた。これは前述のFマトリックスを用いた等価回路でシミュレーションした結

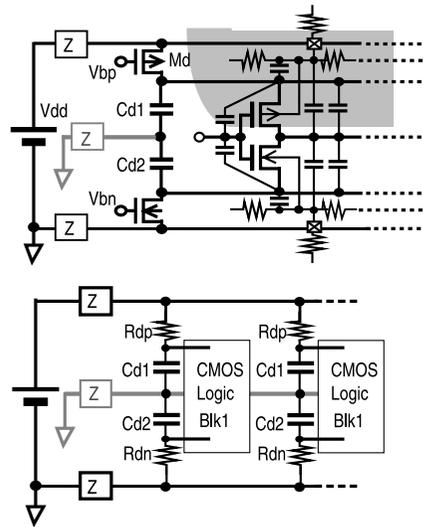


図11 低雑音 CMOS 論理回路  
Fig.11 Reduced substrate bounce CMOS logic circuits.

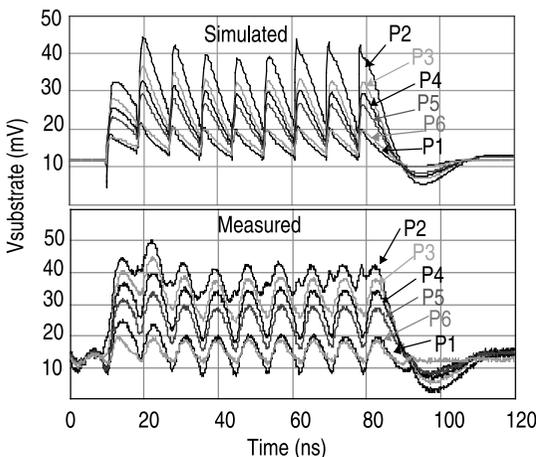


図10 基板雑音の測定値とシミュレーション値  
Fig.10 Measured and simulated substrate noise.

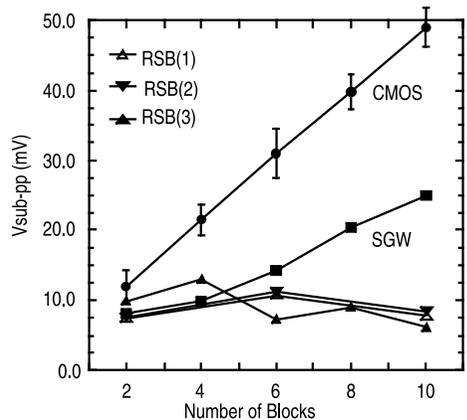


図12 低雑音 CMOS 論理回路の基板雑音測定値  
Fig.12 Measured substrate noise of reduced substrate bounce CMOS logic circuits.

果とほぼ一致している。

### 5. アナログ・デジタル混載LSIの高機能化

#### 5.1 パルス変調アナログ・デジタル融合回路

パルス幅変調 (PWM : Pulse Width Modulation) を用いたアナログ・デジタル融合回路を考案した[10] ~ [12]。PWM 信号は2値パルスであるのでデジタル回路で実現できるがパルス幅にアナログ情報をもたせることができる。PWM パルスを用いると、図 13 に示すようにスイッチト電流積分による多入力に対する加算、加減算を実現できる。また、EXORゲートを1個のみで差分絶対値演算を実現できる。また、パルス変調を用いると、図 14 に示すように非線形特性を実現できる。時間に対する非線形に変化する波形の特性を入出力特性に変換するものである。これらの回路は後述する脳型処理の基本機能であり、これを低電力、小チップ面積で実現し得る技術である。

#### 5.2 脳型処理の集積化

人間の視覚、聴覚、脳のパターン認識といった脳内モデルと学習機能を集積システムで実現することが将来の課題となる。また、動物をモデルに危険回避や種族保存といった遺伝子レベルの情報を検証して生命体のメカニズムを解明し、これをISI技術と融合させると新しい領域が開拓できるかもしれない。

人間の視覚処理では網膜に映った情報が脳の中の神経を通過している部位へ伝達され、各部で特徴が分析され、これらの情報が統合されて認識される。こ

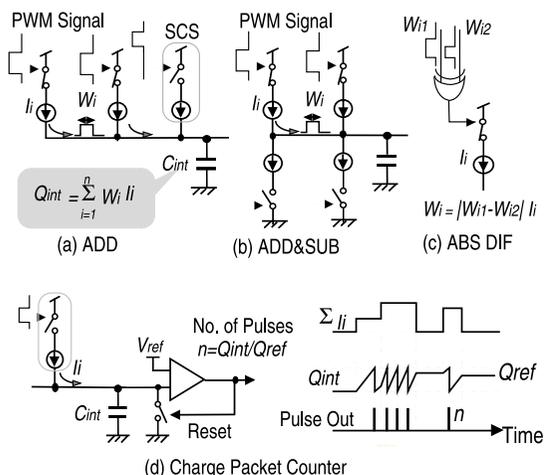


図 13 パルス変調を用いた線形演算回路

Fig.13 Linear arithmetic circuits using pulse modulation technique.

の生体処理にヒントにして、脳をモデルとする特徴連想プロセッサIFAP (Intelligent Feature Associative Processor)が開発された[13]。このチップは図 15 に示すように、イメージセンサ、セルラオートマトン、パターンマッチングプロセッサ(PMP)から構成されている。アナログ情報処理にPWMを用いたアナログ・デジタル融合回路を適用している。画像入力にはPWMを用いたCMOS機能イメージセンサを用い、低電力、高機能を実現した。PMPは、特定部分の画像におけるパターンの特徴を抽出する機能をもつ。PMPで局所的な特徴を抽出するのにマンハッタン距離を算出する。この距離演算に、差分絶対値の和を演算する必要があるが、PWM信号を使うとEXORゲート1個で実現できる。ブロック間のアナログ情報を転送にもPWMバスを使っている。ロボットの目を開発するには、物体の形、奥行、運動の情報を含めたより高度な視覚情報処理システムが必要である。人間が容易に行っている顔や物体の認識や距離や動きなど3次元空間情報の認識を実現することが必要である。

非線形特性を応用した回路として、カオス発生回路

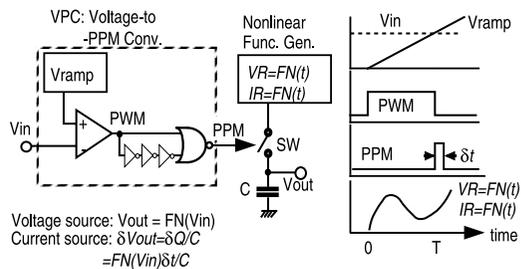


図 14 パルス変調を用いた非線形演算回路

Fig.14 Non-linear arithmetic circuits using pulse modulation technique.

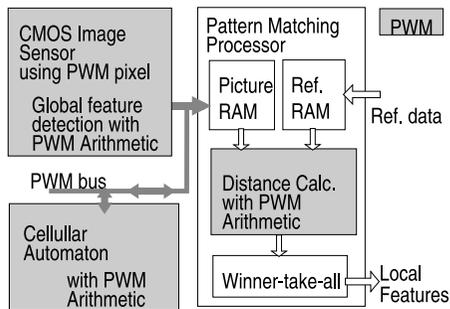


図 15 画像特徴連想プロセッサ LSI ブロック図

Fig.15 Blockdiagram of image feature associative processor (IFAP).

[14] 非線形振動子ネットワークなどが開発されている [15],[16] .

## 6. む す び

高性能なアナログ・デジタル混載システム LSI の役割と課題を述べた。重要な回路機能として RF 回路, A・D 変換器, フィルタについて回路, 設計, 性能を述べた。アナログ・デジタル混載 LSI の高性能化のために開発されたチップ基板を介するクロストーク雑音を測定する技術とチップ規模の雑音解析技術を述べた。この技術はアナログ・デジタル混載設計の品質を高める技術として, システム LSI 設計のキーテクノロジーとなるであろう。また, 次世代技術として脳機能の実現と, これに適したパルス変調を用いたアナログ・デジタル融合回路について述べた。これらのアナログ・デジタル混載 LSI 技術の役割はますます重要となるであろう。

謝辞 本論文にかかわる共同研究者である九州工業大学森江隆教授, 神戸大学永田真助教授, 広島大学の学生諸君に感謝します。また, 基板雑音の研究は(株)半導体理工学研究センター(STRAC)の援助を受けた。チップ試作は東京大学 VDEC を通し, ローム(株)及び凸版印刷(株)の協力で行われた。

## 文 献

- [1] D. Johns and K. Martin, Analog Integrated Circuit Design, John Wiley & Sons, 1997.
- [2] B. Razavi, "CMOS technology characterization for analog and RF design," IEEE J. Solid-State Circuit, vol.34, no.3, pp.268 - 276, 1999.
- [3] P. van Zeijl, J. Eikenbroek, P. Vervoort, S. Setty, J. Tangenberg, G. Shipton, E. Kooistra, I. Keekstra, and D. Belot, "A bluetooth radio in 0.18  $\mu\text{m}$  CMOS," IEEE ISSCC 2002, pp.86 - 87, 2002.
- [4] D. Su, M. Zargari, P. Yue, S. Rabi, D. Weber, B. Kaczynski, S. Mehta, K. Singh, S. Mendis, and B. Wooley, "A 5GHz CMOS transceiver for IEEE 802.11a wireless LAN," IEEE ISSCC 2002, pp.92 - 93, 2002.
- [5] K. Poulton, R. Neff, A. Muto, W. Liu, A. Burstein, and M. Heshami, "A 4GSample/s 8b ADC in 0.35 $\mu\text{m}$  CMOS," IEEE ISSCC 2002, pp.166 - 167, 2002.
- [6] M.Nagata, J.Nagai, T.Morie, and A.Iwata, "Measurements and analyses of substrate noise waveform in mixed-signal IC environment," IEEE Trans. Comput.-Aided Des. Integrated Circuits & Syst., vol.19, no.6, pp.671 - 678, 2000.
- [7] Y. Murasaka, M. Nagata, T. Ohmoto, T. Morie, and A. Iwata, "Chip-level substrate noise analysis with network reduction by fundamental matrix computation," Proc. IEEE International Symposium on Quality Electronic Design (ISQED), pp.482 - 487, 2001.
- [8] M.Nagata, J.Nagai, K.Hijikata, T.Morie, and A.Iwata, "Physical

design guides for substrate noise reduction in CMOS digital circuits," IEEE J. Solid-State Circuit, vol.36, no.3, pp.539 - 549, 2001.

- [9] M. Nagata, T. Morie, and A.Iwata, "Reduced substrate noise digital design for improving embedded analog performance," IEEE ISSCC 2000, pp.224 - 225, 2000.
- [10] A. Iwata and M. Nagata, "A concept of analog-digital merged circuit architecture for future VLSI's," IEICE Trans. Fundamentals, vol.E79-A, no.2, pp.145 - 157, Feb. 1996.
- [11] M. Nagata and A.Iwata, "A PWM signal processing core circuit based on a switched current integration technique," IEEE J. Solid-State Circuits, vol.33, no.1, pp.53 - 59, 1998.
- [12] T. Morie, S. Sakabayashi, M. Nagata, and A. Iwata, "Nonlinear function generators and chaotic signal generators using a pulse-width modulation method," Electron. Lett., vol.33, no.16, pp.1351 - 1352, 1997.
- [13] A. Iwata, M.Nagata, H. Nakamoto, N. Takeda, M. Homma, H. Higashi, and T. Morie, "A feature associative processor for image recognition based on A-D merged architecture," IFIP Int. Conf. VLSI 1999, pp.77 - 88, 1999.
- [14] T. Yamanaka, T.Morie, M. Makoto, and A. Iwata, "A CMOS stochastic associative processor using PWM chaotic signals," IEICE Trans. Fundamentals, vol. E84-C, no.12, pp.1723 - 1729, Dec. 2001.
- [15] D. Wang and D. Terman, "Locally excitatory globally inhibitory oscillator networks," IEEE Trans. Neural Networks, vol. 6, no.1, pp.283 - 286, 1995.
- [16] H. Ando, M. Miyake, T. Morie, M. Nagata, and A. Iwata, "A nonlinear oscillator networks for gray-level image segmentation," IEICE Trans. Fundamentals, vol.E83-A, no.2, pp. 329 - 336, Feb. 2000.

(平成 14 年 5 月 15 日受付)



岩田 穆 (正員)

昭 43 名大・工・電子卒。昭 43 同大大学院修士課程了。同年電信電話公社武蔵野電気通信研究所入所。アナログ混成集積回路, RC アクティブフィルタ, A・D 変換器, PCM-CODEC-LSI, デジタルシグナルプロセッサ LSI の開発に従事。現在, 平 6 広島大教授, 平 14 ナノデバイス・システム研究センター長併任。生体情報処理原理に基づく知能処理 LSI, アナログ・デジタル混載システム LSI の設計技術の教育・研究に従事。IEEE, 神経回路学会各会員。