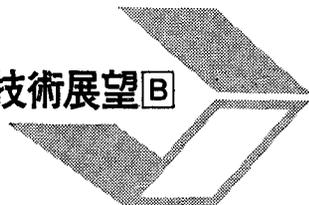


技術展望B



スイッチトキャパシタフィルタ

武部 幹 岩田 穆

武部 幹：正員 金沢大学工学部電気工学科

岩田 穆：正員 電電公社武蔵野電気通信研究所

Switched-Capacitor Filters. By Tsuyoshi TAKEBE, Regular Member (Faculty of Technology, Kanazawa University, Kanazawa-shi) and Atsushi IWATA, Regular Member (Musashino Electrical Communication Laboratory, N.T.T., Musashino-shi).

資料番号：昭 56-212 [技術展望B-10]

1. ま え が き

1960年代半ばのIC演算増幅器の出現に刺激されて、混成IC技術による能動RCフィルタの研究は急速に進展し、1970年代には音声周波用を中心に実用されるに至った。一方、これよりやや遅れて、デジタルICの発展の将来性を見込んでデジタルフィルタ(DF)の研究が盛んになったが、高速乗算の機能を果たすハードウェアの小型、低電力化が重要な課題となっている。これと同時に通信システムのデジタル化の研究が進展したが、特に音声単一チャンネル用PCMコーデックのLSI化の発展に伴い、これと対で用いる送受信フィルタをモノリシック形で作ることが強く求められた。

そこで登場したのがアナログサンプル値フィルタである。その一つは電荷転送素子(CTD)を用いるトランスパーサルフィルタで、直線位相特性の実現には向いているが急しゅんな振幅周波数特性を得るには、一般にCTDの段数が多くなり、従ってチップ面積が大きくなり不向きである。

もう一つが本文中で述べるMOSスイッチトキャパシタフィルタ(SCF)である。

SCFは名称のとおり周期的に開閉するアナログスイッチとキャパシタ及び演算増幅器(OPA)よりなるモノリシックIC化可能なフィルタである。このよう

にスイッチとキャパシタにより、フィルタを作ろうという試みは、1960年代にN-pathフィルタ^{(1),(2)}や、共振伝送(resonant transfer)回路⁽³⁾の研究よりの発展の一つとして^{(4),(5)}なされてはいたが、これらを基礎とし、更にスイッチとキャパシタによる等価抵抗⁽⁶⁾等の新しい考え方を加えて、1977年にMOSモノリシックSCFが発表された^{(7),(8)}。それ以来小形で高精度高安定なフィルタ特性を実現でき、80dB以上の高いダイナミックレンジを有するなどの優れた特性が実証され、又、クロック周波数可変によるフィルタ周波数特性の伸縮や、電子制御によるフィルタ特性の可変や多重化等の特徴を合せ持つ、適用範囲の広い回路であることから、世界各国で活発に研究されている^{(9),(10)}。

2. スイッチトキャパシタ回路の原理と基本回路

2.1 等価抵抗⁽¹¹⁾

図1(a)及び(b)の回路において、スイッチ S_1 は2相クロックの ϕ_1 でonに駆動され、 S_2 は ϕ_2 でonに駆動される。又、 v_1, v_2 は電圧源であるとする。図(a)では S_1 onのとき C_R の電荷 $Q_c=0$ で S_2 がonとなると C_R は $v_1(t)-v_2(t)$ に充電される。 ϕ_2 の終りの時刻を $(n+1/2)T$ 、 T はクロックの周期とすると、結局、電圧 v_1 より v_2 へ電荷 $Q=C_R(v_1(n+1/2)-v_2(n+1/2))$ が転送される。但し、 $v_1((n+1/2)$

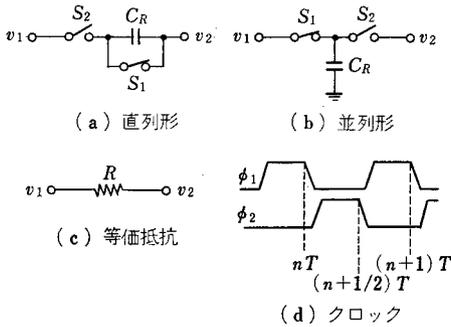


図1 SCによる抵抗のシミュレーション

T) を $v_1(n+1/2)$ と記した。 v_2 へ流れ込む電流はパルス状であるが、1周期の平均電流は、

$$I = C_R(v_1(n+1/2) - v_2(n+1/2))/T$$

である。 サンプリグ周波数 $f_s (=1/T)$ が $v_1(t)$, $v_2(t)$ の最高周波数 f_i より十分高い場合は、この回路は等価的に図(c)で表され、等価抵抗は、

$$R = T/C_R \tag{1}$$

となる。 図(b)の回路では $t=(n-1/2)T$ で C_R は $v_2(n-1/2)$ に充電されており、 S_1 が on となると、 $v_1(t)$ に充電される。 ϕ_1 の終り $t=nT$ までの間に v_1 より C_R へ電荷 $Q=C_R(v_1(n)-v_2(n-1/2))$ が転送される。 次に C_R の電位は S_2 が on となると $v_2(t)$ となり、 $t=(n+1/2)T$ までに C_R より v_2 へ転送される電荷は $Q=C_R(v_1(n)-v_2(n+1/2))$ となる。 図(a)と同様 $f_i \ll f_s$ のときは近似的に等価抵抗は式(1)で与えられる。

式(1)によれば $10\text{ M}\Omega$ の抵抗は 1 pF の容量を 100 kHz でスイッチングして作ることができ、 0.01 mm^2 程度の小さなシリコン面積ですむ。

2.2 SC 積分器

能動 RC 積分器は図2(a)で与えられ、その伝達関数は、

$$H(s) = -\omega_0/s, \omega_0 = 1/R_1C_2 \tag{2}$$

である。 この R_1 を図1(b)の回路で実現すると、積分器は図2(b)となる。 式(1)より、

$$\omega_0 = f_s \frac{C_1}{C_2} \tag{3}$$

となり、 ω_0 は f_s と容量比の積で決まる。 たとえ容量の絶対値の誤差が大きくても、容量比はほぼ面積比に等しいから、高精度(0.1~2%程度)を有する。 伝達関数のパラメータが容量比で決まることは、SC回路の大きな特徴であり、特性の温度変化も小さい。

次にこの回路をサンプル値回路として厳密に解析す

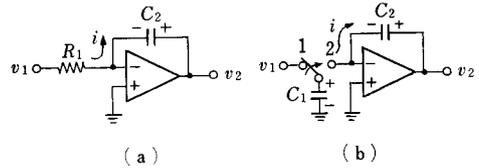


図2 アナログ積分器とそのSC実現

る。 $t=nT$ ではスイッチは1側に倒れており

$$Q_{c1} = C_1v_1(n), Q_{c2} = C_2v_2(n) = C_2v_2(n-1/2) \tag{4}$$

である。 $t=(n+1/2)T$ ではスイッチは2側に倒れており、OPAの反転入力端子は仮想接地点であるから、 C_1 の電荷はすべて C_2 に転送される。

$$C_2v_2(n+1/2) = C_2v_2(n-1/2) - C_1v_1(n) \tag{5}$$

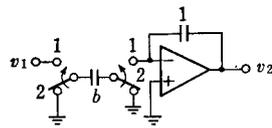
出力は $t=(n+1/2)T \sim (n+1)T$ の間不変であるが、 $t=(n+1/2)T$ にてサンプルするとして式(5)を z 変換すると、

$$H(z) = \frac{V_2(z)}{V_1(z)} = -\frac{C_1}{C_2} \frac{z^{-1/2}}{1-z^{-1}} \tag{6}$$

$$H(e^{j\omega T}) = -\frac{C_1}{2C_2} \frac{1}{j \sin \frac{\omega T}{2}} \tag{7}$$

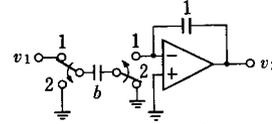
式(7)は $\omega T \ll 1$ のとき、良くアナログ積分器の伝達関数に一致する。

次に R を図1(a)の原理で作ると積分器は図3(a)となる。 但し、容量の両端を接地して放電する点が図1(a)とは異なる。 又、 v_2 は v_1 と同時に nT でサンプルするとしている。 $(n+1/2)T$ でサンプルする場合には伝達関数は、式(6)と同形となる。 以上二つの積分器はいずれも出力が反転するが、図3(b)には非反転積分器を示す。 v_2 は $t=(n+1/2)T$ でサンプルする



$$\frac{v_2(z)}{v_1(z)} = \frac{-b}{1-z^{-1}}$$

(a) 逆相形



$$\frac{v_2(z)}{v_1(z)} = \frac{bz^{-1/2}}{1-z^{-1}}$$

(b) 正相形

図3 寄生容量に不感なSC積分器

としているが、 $t=(n+1)T$ でサンプルする場合は、伝達関数の分子は bz^{-1} となる。

次に寄生容量の影響について考察してみよう。 図2(b)では C_1 に並列にスイッチ(MOS FET)のシリコン基板に対する寄生容量(例えば 0.02 pF)が入り、伝達関数に誤差を与える。 これに対して図3(a)ではキャパ

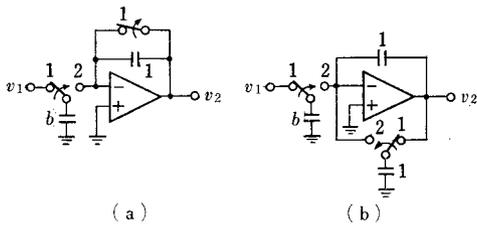


図4 係数乗算・遅延器

シタ b の両電極は接地される時、両電極に接続されたスイッチの対基板寄生容量の電荷は放電され v_1 より v_2 への電荷転送には何ら影響を及ぼさない。図3 (b) では、 b の左側の電極の対基板寄生容量は $v_1(n)$ に充電されるが、スイッチが2側に切り換るときこの電極は接地されるため、その蓄積電荷はスイッチ抵抗で消散してしまい、 v_2 への電荷転送には何ら影響しない。すなわち、図3 (a), (b) の積分器は寄生容量に不感な回路⁽¹²⁾であり、小さなキャパシタを用いることができ、チップ面積は小さくてすむ。

2.3 係数乗算・遅延回路

図2 (b) の積分器の積分容量の電荷をスイッチ1側のとき図4 (a) のようにして放電させると、式(5)からわかるように、伝達関数は、

$$H(z) = -bz^{-1/2} \tag{8}$$

となり、係数乗算ならびに半周期遅延回路となる。図4 (a) に代って図4 (b) のように、電荷 $1 \times v_2(n-1/2)$ を $t = (n+1/2)T$ にて、入力側に帰還してやってもよい。この方法を図3 (a), (b) に適用すれば、伝達関数が $-b$ 及び $bz^{-1/2}$ なる回路が得られる。正係数 b の乗算回路は単一 OPA の SC 回路では構成できない。

2.4 加算および加算積分回路

2.2, 2.3 の回路では要するに OPA 入力に流入した電荷が積分容量に蓄積されるのであるから、図5 のように、各種入力回路を並列接続すれば、加減算およ

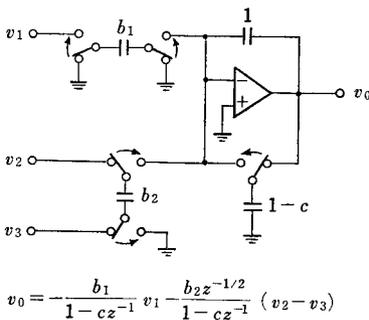


図5 加減算 ($c=0$) 及び加減算積分器 ($c \neq 0$)

び加減算積分器が得られる。

3. フィルタ構成法

SCF の構成法を分類すると、(1) バイカッド 縦続接続形、(2) はしご形フィルタを模擬したリープフロッグ形、(3) インダクタンス⁽¹³⁾や、FDNR⁽¹⁴⁾をシミュレーションする方法、(4) 共振伝送形⁽¹⁵⁾、(5) N-パス形⁽¹⁶⁾がある。本文では(1), (2) についてのみ述べる。(3) については文献(10)を参照されたい。

3.1 バイカッド縦続接続形

伝達関数を双2次伝達関数の積の形で表し、各2次セクションを縦続接続して実現する方法である。双2次伝達関数を実現するにはデジタルフィルタの各種構成により SC 加算・遅延器を用いて SC 回路を導く方法と、正相および逆相積分器を各1個用いて構成する方法がある。

(1) 加算・遅延器による構成

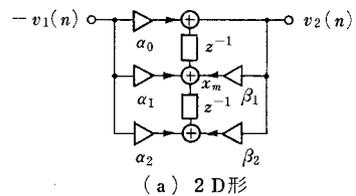
OPA 数の少ない回路を導くため、2D形構成(図6 (a))より導くと、図6 (b)となる。寄生容量に不感な回路もある⁽¹⁷⁾。

(2) 積分器による構成

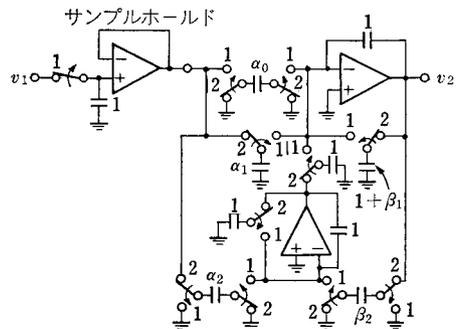
図7に示す^{(18), (19)}。伝達関数は、

$$H(z) = -\frac{K_3 z^2 + (-2K_3 + K_1 K_5 + K_2 K_5) z + (-K_2 K_5 + K_3)}{z^2 + (-2 + K_4 K_5 + K_5 K_6) z + (1 - K_5 K_6)} \tag{9}$$

で、いまアナログ双2次伝達関数



(a) 2D形



(b) SC実現

図6 加算・遅延器によるバイカッド

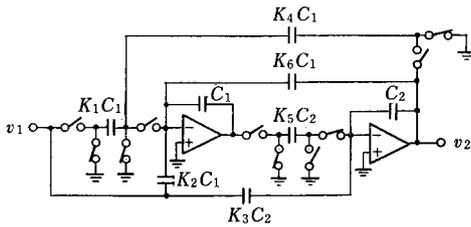


図7 積分器によるバイカッド

$$H(s) = -\frac{a_2s^2 + a_1s + a_0}{s^2 + b_1s + b_0} \quad (10)$$

を $s=H(z-1)/(z+1)$ により sz 変換すると、

$$H(z) = -\frac{m(a_2' + a_1' + a_0)z^2 + 2m(a_0 - a_2')z + m(a_2' - a_1' + a_0)}{z^2 + 2m(b_0 - H^2)z + m(H^2 - b_1H + b_0)} \quad (11)$$

但し、 $a_2' = a_2H^2$, $a_1' = a_1H$, $m = 1/(H^2 + b_1H + b_0)$ となり、式(9)と式(11)の分子分母を等置して容量比 K_i が定められる。

なお、1次伝達関数は図5の回路を1入力として用いて、 $0 < c < 1$ なるとき1次低域フィルタ、 $-1 < c < 0$ なるとき1次高域フィルタとなる。又、 $v_1 = v_2$, $v_3 = 0$ 又は $v_1 = v_3$, $v_2 = 0$ とすると双1次回路となり、全域通過回路もこの場合に含まれる⁽²⁰⁾。

3.2 積分器を用いたリープフロッグ回路⁽²¹⁾

図8(a)は4次の無極減衰特性のリアクタンスはしご形フィルタでそのフローグラフを同図(b)に示す。簡単のため $R_1 = R_2 = R$ とすると、各積分器の出力電圧は

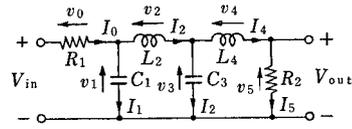
$$v_1 = (v_{in} - v_1 - v_2')/sRC_1, v_2' = -(v_3 - v_1)R/sL_2 \quad (12)$$

などとなる。そこで各積分器を図2(b)の回路で実現すると図(c)となる。図(a)の素子値は $R=1$ 、遮断角周波数1のときの値である。遮断角周波数 ω_{c0} のフィルタを作る場合は、 $\omega_0 = \omega_{c0}/RC_1 = f_s C_0/C_{c1}$ なる関係より、 $R=1$ として、

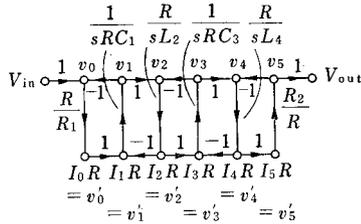
$$C_{ci}/C_0 = f_s C_i/\omega_{c0} \quad i=1, 3 \quad (13)$$

$$C_{Lj}/C_0 = f_s L_j/\omega_{c0} \quad j=2, 4 \quad (14)$$

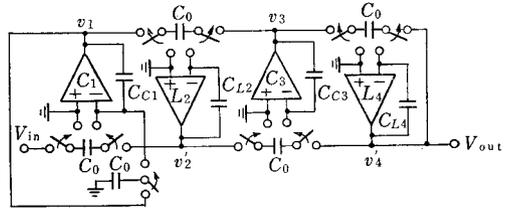
を得る。これらの式より f_s/f_{c0} を高く取るとは、容量比が高くなり、従って、チップ面積が大きくなるので好ましくないことがわかる。一方、フィルタの通過域、阻止域の減衰特性は f_s/f_{c0} が40以上のときは何ら乱れないが、それ以下ではしだいに乱れてくる⁽²²⁾。SC積分器の式(6)の特性は、アナログ積分器の特性を、



(a) リアクタンスはしご形回路



(b) フローグラフ



(c) SC実現

図8 積分器を用いたSCリープフロッグ回路

$$s \rightarrow \frac{1}{T} \cdot \frac{z-1}{z^{1/2}}, \quad \mathcal{L} \rightarrow \frac{2}{T} \sin \frac{\omega T}{2} \quad (15)$$

なるLDI (Lossless Discrete Integrator) 変換⁽²³⁾を行って得られたもので、この変換はアナログの $\mathcal{L}=0 \sim 2/T$ を、 $\omega=0 \sim \pi/T$ に写像するから、本来フィルタ特性は周波数軸方向にゆがみを生ずるだけで減衰ひずみは生じないはずである。減衰ひずみの原因は他にある、図8(b)の v_j と $v_k' = I_k R$ とはサンプル時点が $T/2$ だけずれているから、両側の終端の v_i , v_i 並びに v_0 は $T/2$ 遅延させて積分器に入力させるべきところをしていないところにある。しかし、 $T/2$ の遅延は実現不可能なので、 $(1+z^{-1})/2$ で近似するか⁽¹³⁾、片側は遅延なし、反対側は T 遅延で近似する方法が取られ、これにより $f_s/f_{c0} = 4 \sim 5$ までほとんど特性の劣化が生じない。この改善によりSCフィルタの実現可能周波数範囲が高周波へと広がる。

次に有極形は、制御電源を導入し、直列腕は単純Lのみの形に変換した後、積分器を用いたリープフロッグ回路で構成できる⁽²¹⁾。

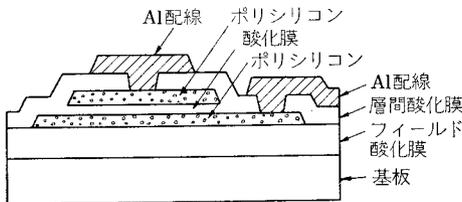
3.3 バイカッド結合フィルタ

前項のアナログリープフロッグLPF(図8(b))をBPFに周波数変換すると、各枝路伝達関数は2次となる。これらを双1次 sz 変換して、3.1のバイカッドで実現する方法がある⁽¹³⁾。又、一般的な非対称減衰

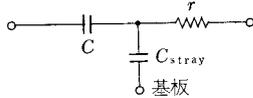
特性のBPFを節点電圧シミュレーション⁽²⁴⁾して、同じくバイカッド結合で実現し、高精度高安定な特性が得られている⁽¹⁸⁾。この場合前項の終端問題は起らない。

4. IC化フィルタの実例

PCM-CODEC用の音声チャンネルフィルタ、PB(押しボタンダイヤル信号)受信用フィルタ等実用的なMOS-LSI SCFが開発されている⁽²⁵⁾。回路構成法としてはリーブフロッグ形、あるいはバイカッド縦続接続形がよく用いられている。これらは他の方法に比べて、素子感度が低く、容量比が小さく、浮遊容量の影響を受けにくいためである。LSIのプロセス技術にはCMOS、あるいはNMOSが用いられ、高精度の容量には図9に示すようなダブルポリシリコン構造が主流となっている。容量に要求される特性は比精度の高いこと、及び浮遊容量の小さいことである。比精度



(a) 断面構造



(b) 等価回路

図9 ダブルポリシリコン容量素子

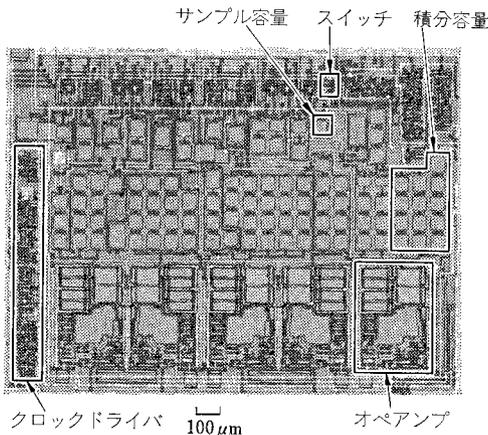


写真1 5次ローパス SCF

表1 CODEC用ローパス SCF の特性

電源電圧	±5V
消費電力	12mW
通過域リプル (0~3kHz)	±0.5dB
阻止域減衰量	> 30dB
ダイナミックレンジ	> 85dB
チップ面積	2.3mm ²

はポリシリコンの加工精度、酸化膜厚のばらつき等で決まり、100µm×100µmの寸法で0.5%程度が得られる。容量下部電極と基板間の浮遊容量はフィールド酸化膜厚で決まり、通常 5×10^{-5} pF/µm² 程度である。

又、MOSトランジスタのソース、ドレインの非線形拡散容量も浮遊成分となる。これらの浮遊容量の影響を受けないように回路設計、LSIパターン設計を行うことが重要である。

写真1にCMOS-CODEC用の5次LPFの例を示す⁽²⁶⁾。回路構成はリーブフロッグ形であり、5個の低雑音OPAを用いている。容量の最小値は1.5pF程度である。クロックにはスイッチオン時のオーバーラップのない2相の128kHzを用いている。表1にフィルタの主な特性を示す。

5. IC化の問題点

5.1 雑音

MOSトランジスタの低周波1/f雑音とチャンネルの熱雑音が問題となる。音声帯域フィルタでは主としてOPAの入力段トランジスタの1/f雑音が支配的である。この1/f雑音はトランジスタのゲート面積に反比例することが知られている。そこでゲート面積を大きくして低雑音化する方法がよく用いられる。しかし、この方法ではチップ面積が増加するので好ましくない。これを解決する方法としてチョップアップを用いる方法⁽²⁷⁾と雑音分を容量に充電して補正する方法⁽¹⁷⁾が提案されている。図10にチョップアップを用いた場合の原理図を示す。チョップの変調周波数をフィルタの阻止域に選ぶことにより1/f雑音をシフトして低雑音化を実現するものであり、102dBのダイナミック

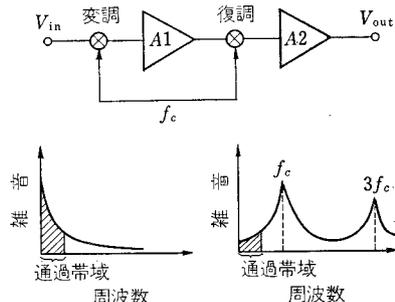


図10 チョップアップによる低雑音化

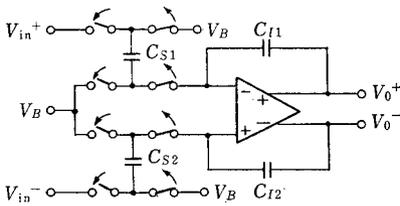


図 11 差動形 SC 積分回路

レンジを得ている。

5.2 電源雑音除去特性 (PSRR)

電源雑音がどの程度抑圧されるかは実用面で重要な特性である。SCF はサンプル値フィルタであるため、電源の高周波雑音が折り返されて帯域内に落ち込んでくる。PSRR 劣化の要因は各種の浮遊容量による雑音の漏れである⁽²⁸⁾。

これらを解決する方法として電源電圧安定化回路を内蔵したフィルタ⁽²⁸⁾、基板電位安定化回路を内蔵したフィルタ⁽²⁹⁾が提案されている。これらにより帯域内電源雑音に対して 40 dB 程度の PSRR が得られている。更に、他の方法として、フィルタの信号経路にすべて対称性のよい差動形回路を用い電源雑音成分を同相成分のみとして差動信号成分に混入しないように構成する方法がある⁽²⁷⁾。図 11 に回路例を示す。差動形にするために容量が 2 倍くらい増加するという欠点はあるが、50 dB 程度の PSRR が得られており、有効な方法である。

5.3 低電力化

消費電力は OPA によって決まるので、その低電力化が研究されている。最新の技術によれば 128 kHz クロック動作に必要な速度の OPA は 1~3 mW で実現でき、フィルタ 1 次当りの消費電力の目安になる。より低電力化を図るためダイナミック OPA を用いた SCF が提案されている⁽³⁰⁾。図 12 に原理的な回路図を示す。容量を充電する電流によりアンプを動作させ、充電初期には比較的大電流による高速、広帯域性を用い、充電終期には微小電流時の高利得性を用いるものである。通常の方法に比べて 1/10 以下の低電力化が達成でき、微小電流時の $1/f$ 雑音が小さいことから低雑音化

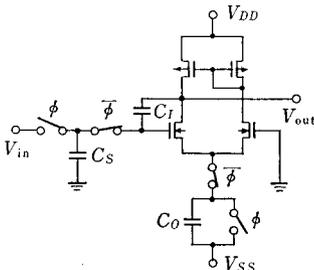


図 12 ダイナミックアンプ形 SC 積分回路

も期待できる。

5.4 高周波化

フィルタのクロック周期を OPA のセッティング時間以下にすることはできないので、OPA の高速化が課題である。5 μm ルールの CMOS OPA の 0.1% セッティング時間は 500 ns 以上であり、サンプリング周波数の上限は 2 MHz 程度である。これを改善するためには MOS トランジスタの gm の増加、拡散容量の減少等 LSI プロセス技術の進展によるところが大きい。又、高周波でサンプルされた信号を低周波でリサンプルすることにより信号周波数をミックスダウンして、実効的なフィルタを低周波で動作させる方法がある⁽³¹⁾。この方法では等価的に高い Q の BPF を低い Q で実現できる利点もあり、無線受信器の中間周波フィルタに適する。

6. 応用

SCF は種々の新しい応用の可能性を持つ。

サンプル値フィルタであるため OPA を多重使用する構成ができ、低電力化、低面積化に有利である。2 個の OPA を多重使用して特性の異なる各種の 2 次区間を実現したり⁽³²⁾、又、同じ原理で高次フィルタを実現することもできる。これらの構成では複数個の積分容量を切り換えて多重化するので、積分容量と並列に存在する浮遊容量により、 Q の低下や他チャネルへのクロストークが発生する⁽³³⁾。これを除去する方法を検討する必要がある。

容量値あるいはクロック周波数を可変にすることにより、電気的な特性可変フィルタが実現できる。2 進荷重容量を選択することにより f_0 , Q , 利得を独立に設定できる 2 次区間を用いた音合成用フィルタ⁽³⁴⁾が試作されている。又、AGC 回路⁽³⁵⁾や可変遅延等化器⁽²⁰⁾も SC 回路により実現されている。

7. まとめ

SCF は MOS プロセスによるデジタル・アナログ混載 LSI 技術により LSI 化可能な、低消費電力で、特性の高安定な、ダイナミックレンジの広いフィルタであり、CODEC 等、他の処理機能回路と一緒に 1 チップ上に作ることも可能である。本文はその基本原理と問題点、開発動向を簡単に概観したにとどまり、特性解析手法には触れることができなかった。

近い将来、演算増幅器は 20 MHz のクロック周波数で動作するものが現れ、ビデオ帯域の SCF や、SC

等化器が現れるだろうと予想されている。又、スイッチを含んだ回路構造であることから変調器や変調器を含んだ回路網も発展するであろう。

SCF とデジタルフィルタを比較すると、高い適用可能周波数、低消費電力という点で SCF が優れているが、低速のソフトウェア重点の複雑な信号処理や、プログラマビリティ、高精度、高 Q 特性の実現という点ではデジタルフィルタが優れている。

謝辞 日ごろ御指導頂く武蔵野通研鈴木敏正集積回路研究部長、大和田允彦電子回路研究室長、御協力頂いた西川清金沢大学助教授、松本豊司同技官に感謝します。

文 献

- (1) Franks, L.E. and Sandberg, I.W. : "An alternative approach to the realization of network transfer functions: The N-path filter", *Bell Syst. Tech. J.*, **39**, 5, pp. 1321-1350 (Sept. 1960).
- (2) Franks, L.E. : "N-path filters", *Modern Filter Theory and Design*, ch. 11, Temes, G.C. and Mitra, S.K. 編, J. Wiley (1973).
- (3) Cattermole, K.W. : "Efficiency and reciprocity in pulse-amplitude modulation", *Proc. IEE*, **105**, pt. B, pp. 449-462 (1958).
- (4) Boite, R. and Thiran, J.R.V. : "Synthesis of filters with capacitances, switches and regenerating devices", *IEEE Trans. Circuit Theory*, **CT-15**, pp. 447-454 (1968).
- (5) Fettweis, A. : "Switched-capacitor filters: From early ideas to present possibilities", *Proc. 1981 ISCAS*, pp. 414-417.
- (6) Fried, D.L. : "Analog sample-data filters", *IEEE J. Solid-State Circuits*, **SC-7**, 4, pp. 302-304 (Aug. 1972).
- (7) Young, I.A., Hodges, D.A. and Gray, P.R. : "Analog NMOS sampled-data recursive filter", 1977 ISSCC Dig. Tech. Papers, pp. 156-157.
- (8) Hosticka, B.J., Brodersen, R.W. and Gray, P.R. : "MOS sampled data recursive filters using state variable techniques", *Proc. 1977 ISCAS* pp. 525-529.
- (9) Brodersen, R.W., Gray, P.R. and Hodges, D.A. : "MOS switched-capacitor filters", *Proc. IEEE*, **67**, 1 pp. 61-75 (Jan. 1979).
- (10) 角石 : "スイッチト・キャパシタ・フィルタの構成法とそのモノリシック IC 化の問題点", *日経エレクトロニクス*, pp. 112-137 (昭 55-01-21).
- (11) Caves, J.T., et al. : "Sampled analog filtering using switched capacitors as resistor equivalents", *IEEE J. Solid-State Circuits*, **SC-12**, 6 (Dec. 1977).
- (12) Martin, K. : "Improved circuits for the realization of switched-capacitor filters", *IEEE Trans. Circuits & Syst.*, **CAS-27**, 4, pp. 237-244 (April 1980).
- (13) Lee, M.S. and Chang, C. : "Low-sensitivity switched-capacitor ladder filters", *IEEE Trans. Circuits & Syst.*, **CAS-27**, 6, pp. 475-480 (June 1980).
- (14) Temes, G.C. and Jahanbegio, M. : "Switched capacitor circuits bilinearly equivalent to floating inductor or F.D.N.R.", *Electron. Lett.*, **15**, 3, pp. 87-88, (Feb. 1979).
- (15) Fettweis, A. : "Basic Principles of Switched-Capacitor Filters Using Voltage Inverter Switches", *Arch. Elektron. & Uebertragungstech.*, **33**, 1, pp. 13-19 (1979).
- (16) Shek, M. and Chang, C. : "Exact synthesis of N-path switched capacitor filters", *Proc. 1981 ISCAS*, pp. 166-169.
- (17) Young, I.A. and Hodges, D.A. : "MOS switched-capacitor analog sampled-data direct-form recursive filters", *IEEE J. Solid-State Circuits*, **SC-14**, 6, pp. 1020-1033 (Dec. 1979).
- (18) Martin, K. and Sedra, A.S. : "Exact design of switched-capacitor bandpass filters using coupled-biquad structures", *IEEE Trans. Circuits & Syst.*, **CAS-27**, 6, pp. 469-475 (June 1980).
- (19) Fleischer, P.E. and Laker, K.R. : "A family of active switched capacitor biquad building blocks", *Bell Syst. Tech. J.*, **58**, 10, pp. 2235-2268 (Dec. 1979).
- (20) 武部, 西川, 北川 : "複素係数全域通過回路を用いた SC 可変遅延等化器", *信学技報*, **CAS 81-13** (1981-06).
- (21) Jacobs, G.M., et al. : "Design techniques for MOS switched capacitor ladder filters", *IEEE Trans. Circuits & Syst.*, **CAS-25**, 12, pp. 1014-1021 (Dec. 1978).
- (22) Choi, T. and Brodersen, R.W. : "Considerations for high-frequency switched-capacitor ladder filters", *IEEE Trans. Circuits & Syst.*, **CAS-27**, 6, pp. 545-552 (June 1980).
- (23) Bruton, L.T. : "Low-sensitivity digital ladder filters", *IEEE Trans. Circuits & Syst.*, **CAS-22**, 3, pp. 168-176 (March 1975).
- (24) 吉弘, 西原, 柳沢 : "低感度能動およびデジタルフィルタ-LC はしご形回路の節点電圧シミュレーション", *信学論 (A)*, **J 60-A**, 7, pp.661-668 (昭 52-07).
- (25) Gray, P.R. and Messerschmit, D.G. : "Integrated circuits for telephony", *Proc. IEEE*, **68**, pp. 991-1007 (Aug. 1980).
- (26) Iwata, A., et al. : "A single-chip CMOS CODEC with switched-capacitor filters", 1981 ISSCC Dig. Tech. Papers, pp. 244-245.
- (27) Hsieh, K.C. and Gray, P.R. : "A low-noise chopper-stabilized differential switched-capacitor filtering technique", 1981 ISSCC Dig. Tech. Papers, pp. 128-129.
- (28) Ohara, H., et al. : "A precision low-power PCM channel filter with on-chip power supply regulation", *IEEE J. Solid-State Circuits*, **SC-15**, 6, pp. 1005-1013 (Dec. 1980).
- (29) Ahuja, B.K., et al. : "A single-chip CMOS PCM CODEC with filters", 1981 ISSCC Dig. Tech.

- Papers, pp. 242-243.
- (30) Hosticka, B.J.: "Novel dynamic CMOS amplifier, for switched-capacitor integrators", *Electro. Lett.* **15**, 17, pp. 532-533 (Aug. 1979).
- (31) Gray, P.R., et al.: "Some practical aspects of switched capacitor filter design", *Proc. 1981 ISCAS*, pp. 1039-1042.
- (32) Bosshart, P.W.: "A multiplexed switched capacitor filter bank", *IEEE J. Solid-State Circuits*, **SC-15**, 6, pp. 939-945 (Dec. 1980).
- (33) 金子, 菊池, 岩田: "多重化スイッチトキャパシタフィルタ", *信学技報*, **CAS 81-15** (1981-06).
- (34) Allstot, D.J., et al.: "An electrically-programmable switched capacitor filter", *IEEE J. Solid-State Circuits*, **SC-14**, 6, pp. 1035-1040 (Dec. 1979).
- (35) 鈴木, 中村: "スイッチドキャパシタを利用した AGC 回路", *信学技報*, **SSD 80-65** (1980-10).

国際会議

5th International Conference on Electrical Bio-impedance

主催: 第5回生体電気インピーダンス国際会議組織委員会, 日本 ME 学会共催 (後援: 日本学術振興会, 万博協会, 協賛: 電子通信学会ほか9団体)

日時: 1981年8月24~26日(3日間)

会場: 日本都市センター・ホール(東京)

参加者: 約200名(内, 日本人約160名)

主要参加国: アメリカ, フランス, イスラエル, ユーゴ, 中国, 西ドイツ, オーストリア, ほか11箇国
セッション数および論文集: 23セッション, 105件(内, 日本50件)

Proceedings 発行所: 学会事務センター(文京区本郷)

主たるトピックス

第5回を迎えた本会議は, 小規模ながらこの分野の先駆者である J. Nyboer, L.E. Baker らの出席もあり, 各セッションにおいて活発な討論が繰り広げられた。主要テーマは 1. Heart and Great Vessels (33件), 2. Basic Theory (10件), 3. Tissue Impedance (24件), 4. Brain Impedance (9件), 5. Limb Impedance (9件),

6. Lung Impedance (20件)であり, 中国からの初参加を得た今回は, 冒頭の招待講演で H. Ling 氏より中国におけるインピーダンス法の臨床応用が公表された。中国からの発表件数は20件にも及び, 特に脳循環, 肝循環の測定に参加者の耳目が注がれたが, 計測法・装置等, 工芸技術上の立遅れは否めない。従来から, インピーダンス法による心臓循環機能および肺疾患情報の計測が本会議の主流を占めており, 今回もそれぞれ33件, 20件の多くを数えた。一方, ○下肢動静脈・上肢動脈循環量の測定, 血管コンプライアンス・血圧の算定, ○脳循環動態, ○性周期, 体組織のエストロゲン作用, 多電極による乳がん検出など産婦人科領域への応用, ○バクテリア繁殖率・蛋白質稠密度など細胞レベルの計測等々, 種々の生物医学分野への適用がみられ, 今後, 研究増加の傾向が予想される。このほか, 多チャンネルインピーダンスイメージング, インピーダンスCTの可能性と限界性, インダクティブインピーダンス法, 高周波インピーダンス特性と Hyperthermia, 局所感度・周波数特性等, 理論および実験からの新しいアプローチが注目された。次回は1983年, ユーゴで開催。(執筆者) 南谷晴之・正員 慶応義塾大学理工学部電気工学科