

## 解説B

MOS アナログ IC 技術の  
現状と問題点

岩田 穆

岩田 穆：正員 電電公社武蔵野電気通信研究所  
Present Status and Problems in MOS Analog IC. By Atsushi  
IWATA, Regular Member (Musashino Electrical Communication  
Laboratory, N.T.T., Musashino-shi).  
資料番号：昭58-36 [解説B-11]

## 1. ま え が き

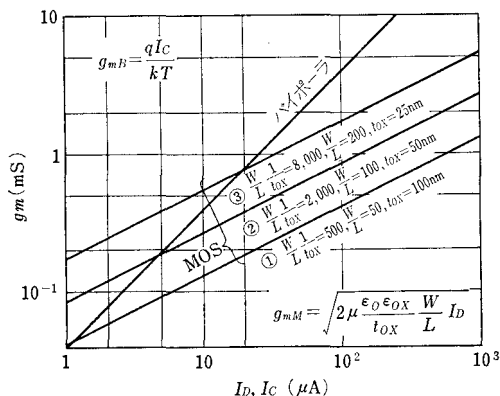
オペアンプに代表されるアナログ IC には、バイポーラデバイスが適し、MOS デバイスは相互コンダクタンス ( $g_m$ ) が小さい、スレッシュホールド電圧のばらつきが大きい、雑音が大きい等の欠点のため、不向きと考えられていた。しかし、論理回路やメモリ用として進歩の著しい MOS デバイスを用いると、アナログとデジタルを混載した高集積な LSI が実現でき、又、プロセスが比較的簡単で経済的であることに注目され、1970 年ころからその研究開発が活発になった<sup>(1)</sup>。1976 年に NMOS によるオペアンプが発表され<sup>(2)</sup>、バイポーラに迫る実用的な性能が実証された。その後、デプレッションモードの負荷デバイスや CMOS の採用により、高性能化が進んだ。又、同年代に MOS の特長を生かした容量アレー形 D-A 変換器<sup>(3)</sup>やスイッチトキャパシタフィルタ<sup>(4)</sup> (SCF) 等の回路技術も開発された。これらの技術を結集して、1981 年には音声用 PCM-CODEC (符号器復号器) がフィルタを含めて 1 チップの CMOS LSI として実現された<sup>(5)</sup>。現在、より高精度、高速な領域への展開のため研究開発が続けられている。

小文では MOS アナログ IC 技術の現状と解決すべき問題点、更に将来の動向について述べる。

2. デバイス技術<sup>(6)</sup>

(1) MOS デバイス

MOS のデバイス技術 (素子寸法) をパラメータにして  $g_m$  の電流依存性を近似的に求めた結果を図 1 に示す。現在アナログ用としての実用レベルは  $5 \mu\text{m}$  ルール (①) で  $I_D=100 \mu\text{A}$  のとき、 $g_m$  はバイポーラと比較して一けた程小さく、電流を増加させても  $\sqrt{I}$  に比例して改善されるにすぎない。しかし素子寸法の微細化に対して  $g_m$  は図 1 のように増加し (②、③)、バイポーラに迫って行く。又、遮断周波数は  $f_T=g_m/2\pi C_g$  ( $C_g$  はゲート容量) であり、 $5 \mu\text{m}$  ルールで  $I_D=100 \mu\text{A}$  のとき 100 MHz 程度で、やはりバイポーラより一けた小さい。従って、高利得、広帯域、高駆動能力の MOS アンプを実現するためには、デバイスの微細化すなわちチャネル長 ( $L$ ) の減少、酸化膜厚 ( $t_{ox}$ ) の減少と、デバイスの能力を補う回路技術の工夫が必

図 1  $g_m$  の電流依存性

要である。

MOS デバイスの雑音は 10 kHz 以下の低周波では酸化膜境界層のトラップによる  $1/f$  雑音が支配的であり、100 Hz で  $100 \text{ nV}/\sqrt{\text{Hz}}$  程度である。これはバイポーラと比較して二けた程度大きな値である。一方、高周波ではショット雑音が支配的となり、バイポーラとの差は狭まってくる。この大きな  $1/f$  雑音を除去することは、信号帯域 10 kHz 以下の MOS アナログ IC の大きな課題である。 $1/f$  雑音は酸化膜厚に比例して減少するが、ゲート面積の平方根に反比例するため、微細化による小チップ面積化はあまり期待できない。又、回路構成上この  $1/f$  雑音をキャンセルするような工夫が必要である。

以上述べた欠点からは MOS アナログ IC は魅力的でないという印象を受けるが、MOS デバイスは入力バイアス電流が極めて小さく、オフセット電圧のない双方向のアナログスイッチとして動作するという長所を有している。従って、後述する高精度の容量素子と組み合わせることにより、電荷を扱う各種のアナログ回路が実現できる<sup>(7)</sup>。又、アナログ回路のチップ面積はバイポーラと比較して有利ではないが、MOS 論理回路は比較的低電力、小面積であり、A-D 変換器と比較すると MOS の方が 2~3 倍高い集積密度を達成できる。従って、MOS はオペアンプのような個別 IC でなく、多数のオペアンプと論理回路を含む LSI の実現に適している。

又、電流駆動能力向上のため、バイポーラトランジスタを MOS に混載する技術や、高耐圧 MOS デバイス技術も検討されている。

## (2) 受動素子

アナログ IC では D-A 変換器の荷重素子、アンプのフィードバック等に高精度な受動素子が不可欠であり、これらの絶対値でなく比で回路特性が決まるよう設計するのが大原則である。MOS プロセスでは表 1

表 1 受動素子の特性比較

	素子構造	寸法	比精度 ( $\sigma$ )	温度係数
容 量	MOS 構造	$t_{ox}=0.1 \mu\text{m}$ $L=250 \mu\text{m}$	$\pm 0.06\%$	$\sim 25 \text{ ppm}/^\circ\text{C}$
	2層ポリシリコン構造	$t_{ox}=0.1 \mu\text{m}$ $L=70 \mu\text{m}$	$\pm 0.25\%$	$\sim 25 \text{ ppm}/^\circ\text{C}$
抵 抗	拡散層	$W=50 \mu\text{m}$	$\pm 0.40\%$	$2,000 \text{ ppm}/^\circ\text{C}$
	ポリシリコン層	$W=40 \mu\text{m}$	$\pm 0.20\%$	$*\pm 800 \text{ ppm}/^\circ\text{C}$

\* 不純物ドーピングによる

に示すように容量 (C) と抵抗 (R) が用いられる。C の方が比精度、温度係数ともに優れている。これは容量比が平面的加工精度と安定な酸化膜で決まることによっている。又、C は動作時に充放電電流を供給するのみでよく、定常電流を消費する R に比較して低電力である。これらの理由から MOS では C を主に用い、アナログ量を電荷あるいは電圧として処理する回路が用いられる。

## (3) 機能素子

MOS と同一のプロセスで電荷転送素子 (Charge Coupled Device) が実現でき、これを用いたフィルタや遅延線等が実用化されている。CCD フィルタは SCF に比較して、無ひずみで転送できる電荷の量が小さいため高 SN 比は得にくい。しかし、ビデオ信号のような高周波域であまり高い SN 比を要求されない用途では有利である。

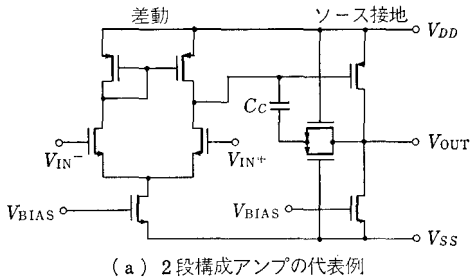
## 3. 回路技術

### (1) アンプ

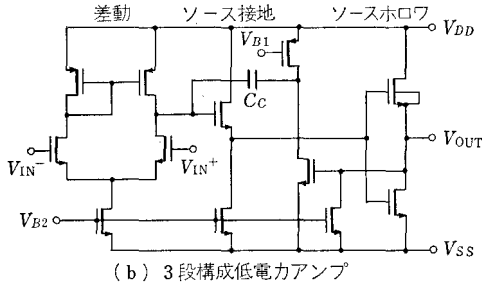
基本的なソース接地アンプについて考えるとエンハンスメント形 MOS では駆動 MOS と負荷 MOS の  $g_m$  の比で利得が決まり、これに負荷 MOS のバックゲート効果による低下を考慮すると、30 dB 程度しか得られない。これに対して E/D MOS や CMOS では定電流特性の負荷 MOS を使用できるので、40 dB 以上の利得が得られ、出力電圧範囲も大きい。周波数特性は出力抵抗と出力容量の積定数で決まり、 $5 \mu\text{m}$  ルールで小負荷のとき -3 dB 帯域で 10 MHz 程度である。帯域を広げるには  $g_m$  の増加と負荷容量の減少が必要である。

代表的な CMOS オペアンプの回路を図 2 (a) に示す。 $5 \mu\text{m}$  デバイスで DC 利得 90 dB、帯域 2 MHz、CMRR 70 dB、スルーレート  $2 \text{ V}/\mu\text{s}$ 、セットリング時間  $2 \mu\text{s}$  程度の特性が実現できる。消費電力は  $\pm 5 \text{ V}$  電源で約 2 mW である。E/D NMOS で同程度の特性を得るには、差動シングル変換段等を追加する必要があるため、素子数は CMOS の 2 倍くらいになり、消費電力も大きくなる。

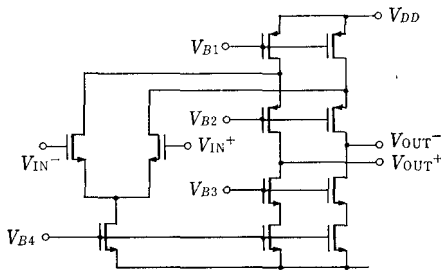
低電力化の例として図 2 (b) に 3 段構成 CMOS オペアンプを示す<sup>(5), (8)</sup>。これはソースホロワの帯域を狭くする一方、ソース接地を広帯域化すると共に、ソースホロワからソース接地入力に位相補償用帰還をかけて安定化している。通常多くの電流を消費する出力段を狭帯域にできるため、低電力化が図れる。消費電



(a) 2段構成アンプの代表例



(b) 3段構成低電力アンプ



(c) 差動カスコード形高速アンプ

図2 CMOS オペアンプ

力は ±5V 電源で 1mW 程度であり、DC 利得 70 dB、帯域 1MHz、CMRR 70 dB、スルーレート 7V/μs、セットリング時間 2μs の性能が得られる。更に、低電力なダイナミックアンプについては SCF に関連して述べる。

高速化の例として図2(c)に差動カスコード CMOS アンプを示す<sup>(9)</sup>。これはカスコード段のみで構成されており、位相補償が不要であるため、高速化、広帯域化に適する。2μm の CMOS で DC 利得 40 dB、GB 積 500 MHz、消費電力 5mW の特性が得られている<sup>(10)</sup>。

回路設計上の低雑音化の対策として、アンプ初段のデバイスサイズを大きくする方法がある。これは図3に示すように 1/f 雑音が初段の駆動 MOS と負荷 MOS のゲート面積の和の平方根に反比例することによっているが、ゲート容量の増加、チップ面積の増加を招くという欠点を有する。又、周期的に動作するス

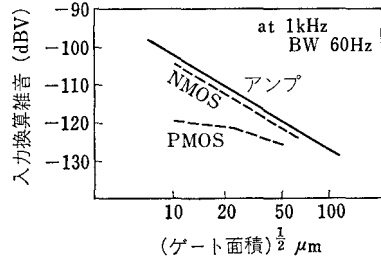


図3 低周波雑音のゲート面積依存性

イッチと容量を用いて雑音成分を保持しておき、次のタイミングでこれを減算して雑音をキャンセルする方法がある。この方法により、1/f 雑音を 40 dB 低減させ、直流オフセットのドリフトを 0.05 μV/°C に低減させた報告がある<sup>(11)</sup>。

(2) A-D-D-A 変換器

D-A 変換器には表2に示すように各種の構成がある。C アレー形 D-A は図4に示すように2進重み付けした容量 (C) とスイッチで構成され、各容量間で電荷を再分布させて線形変換特性を得るものであり、MOS で最もよく用いられる<sup>(8)</sup>。このほかに2個の等しい C の一方を入力 の “1”, “0” に応じて充電あるいは放電しておき、他方の C との間でビット数 (n) 回再分布を繰り返す方法もある。抵抗 (R) による方法には従来からバイポーラで用いられている R-2R ラダー形と2進重み電流源加算形のほかに、2<sup>n</sup> 個の単位 R を直列接続して各タップの出力を取り出す R

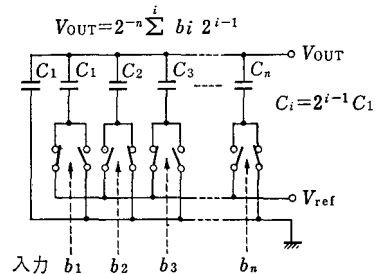


図4 C アレー形 D-A 変換器

表2 各種 D-A 変換器の比較

形式	変換原理	出力	荷重素子の個数	許容素子偏差*	変換速度
容量アレー	電荷再分布 (1回)	V	2 <sup>n</sup>	5%	中
2容量	“ (n回) ”	V	2	0.25%	低
抵抗ストリング	電圧分割	V	2 <sup>n</sup>	5%	中
R-2Rラダー	電流分割	I	3 <sup>n</sup>	0.1%	高
荷重電流源	電流加算	I	2 <sup>n</sup>	2.5%	高

V: 電圧, I: 電流, n: ビット数

\* 12 bit 精度 但し、荷重素子以外の誤差は無視

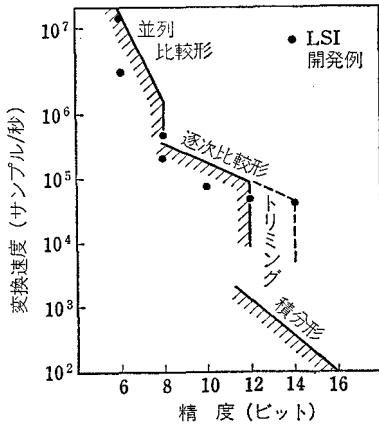


図5 MOS A-D 変換器の速度と精度

ストリング形がある。C アレーや R ストリング形は荷重素子の数が多く、速度的にもやや難点があるが、素子感度が低く高精度化に向いている。

A-D 変換器には、(i) 逐次比較形、(ii) 並列比較形、(iii) 積分形があり、いずれも MOS で実現されている。図5に MOS A-D 変換器の速度と精度の現状を示す。逐次比較形は表2に示す D-A を局部帰還路に用いて上位ビットから順にビット数 ( $n$ ) 回大小判定を行う方法である。動作クロックはサンプリングクロックの  $n$  倍程度であるので 100k サンプル/s 程度の中速の変換が可能であるが、荷重素子に対する感度が高く、無トリミングで 12 bit、トリミングを加えて 14 bit までが実現されている。トリミングにはデジタル処理による方法が注目されている<sup>(42)</sup>。並列比較形は  $2^n$  個のコンパレータを並べて1クロックで  $n$  bit を判定する方法である。多数のコンパレータが必要なため集積規模のネックとなり、現状では 8 bit が限度であるが、変換速度は速く 20 M サンプル/s 程度まで実現されている。並列形の変形として直並列形もあり、回路規模の低減に有効であるが、高速の S/H 回路の実現が課題である。

積分形は積分器と計数回路を用いて電圧をパルス数に変換する方法である。計数回路のクロック周波数で分解能が決まるので、高分解能化を図ると変換速度が低下する。

(3) スイッチトキャパシタフィルタ (SCF)

SCF は周期的に開閉するスイッチと容量 ( $C$ ) によって実現できる等価的な抵抗を用いたフィルタであり、MOS により1チップ LSI 化できる。図6に基本となる SC 積分器を示す。スイッチ  $S_1$  がオンからオ

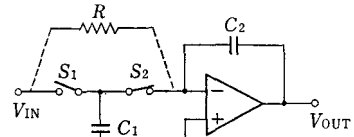


図6 SC 積分器

フになる時刻に  $C_1$  にサンプルされた電荷  $Q=C_1V_{IN}$  は  $S_2$  がオンになるとすべて  $C_2$  に転送、積分される。従って、等価抵抗はクロックの周波数を  $f_c$  とすれば  $R=V_{IN}/Qf_c=1/f_cC_1$  となる。積分器の時定数は  $RC_2=C_2/f_cC_1$  であり、容量の比とクロック周波数で決まる。容量比は表1に示したように製造ばらつきが小さく、安定であるので、無調整で厳しい精度のフィルタを実現できる。

フィルタの構成法には、(i) LC フィルタをシミュレートするリーブフロッグ形、(ii) 2次パイカッドの縦続接続形等の各種が提案されているが、詳細は省略することにして、得られる特性例を示す。図7は 5  $\mu$ m CMOS で実現した CODEC 用の5次リーブフロッグ形 LPF<sup>(5)</sup> の通過域の周波数特性である。±0.05 dB 程度の通過域リプルが無調整で得られ、温度変動も極めて小さい。阻止域減衰量 30 dB、ダイナミックレンジ 85 dB 以上、消費電力 10 mW、チップ面積は 2.3 mm<sup>2</sup> である。

このように SCF は他のフィルタに無い長所を持つ反面、二つの欠点を有している。第1はサンプル値フィルタであるために生じる高次の通過域の発生と基本通過域への折返しである。RC アクティブフィルタを前置して入力からの高域雑音を除去する方法は広く用いられているが、SCF 内部での高域雑音の折返しは防止できず、SN 比を劣化させる原因である。第2の問題は MOS デバイスの寄生容量を通して電源の雑音が信号に混入するために生じる電源雑音抑圧特性 (PS-RR) の劣化である。

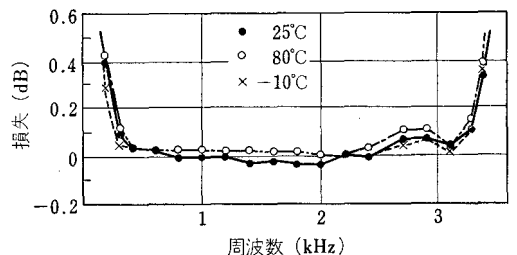


図7 5次 SCF の温度特性

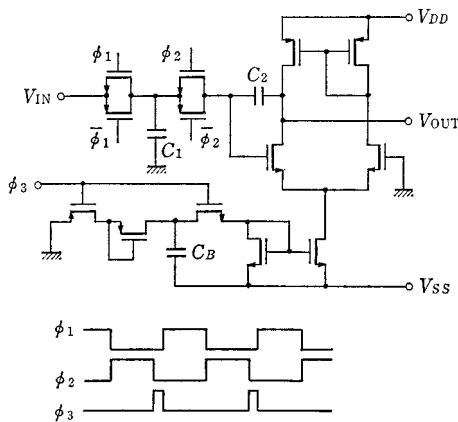


図 8 ダイナミックアンプを用いた SCF

PSRR 改善策として、アンプのバイアス回路の安定化および電源雑音キャンセル回路を用いる方法がある<sup>(43)</sup>。この方法で 20~30 dB の改善ができ、数百 kHz 以下で 40 dB 以上の PSRR が期待できる。このほかに電源の安定化、フィルタ全体を差動形にして雑音を同相成分として除去する方法<sup>(44)</sup>等がある。

SCF の低電力化の試みとして、図 8 にダイナミックアンプを用いた SCF を示す<sup>(45)</sup>。SCF のクロックと同期して制御される  $C_B$  の放電電流からカレントミラーを通して差動アンプの動作電流を供給し、間欠的に動作させる。動作電流の大きいときにはアンプは大きい電流を出力し、小さくなるとアンプの利得が上昇して電圧の精度が確保される。この方法によると 2 次フィルタが 0.5 mW 以下で実現でき、通常のアンプの場合に比べて 1/10 以下の低電力化が図れる。

SCF の高周波化も進み、ビデオ帯域まで試作されている。図 2 (c) に示すアンプを用いて 1 次フィルタを実現し、クロック周波数約 14 MHz、信号周波数 7 MHz 程度で動作させている<sup>(46)</sup>。

このほかにオペアンプを多重使用する SCF、容量比をプログラムできる可変 SCF、AGC、等化器等も検討されている。

(4) 基準電圧回路

MOS ではバンドギャップ形とスレッシュホールド電圧の差を用いた  $4V_{TH}$  形<sup>(46)</sup>が開発されている。いずれも実用上の温度係数 100 ppm/°C 以下の安定な特性が得られるが、出力電圧の製造ばらつきは 10% 以上と大きいので、トリミングが

必要である。トリミングはウェーハテストのときにフューズを用いて行うのが経済的であろう。

4. 設計技術

アナログ IC の設計では、利得、帯域、速度、SN 比等の多くの要求仕様項目を同時に満足させ、又、精度、電力、チップ面積のトレードオフを厳密に考慮する必要がある。このため、アナログ用 CAD はあまり進歩しておらず、汎用の回路シミュレータを用いた最適化が主体となっているが、MOS アンプの素子定数自動設計プログラムが開発されており<sup>(47)</sup>、今後この方向の発展が期待される。

設計の容易化をねらって、あらかじめ用意された汎用的なアンプやコンパレータ等を組み合わせて設計する CMOS アナログビルディングブロック法が開発されている<sup>(48)</sup>。この方法では専用設計に比べてチップ面積は 20% 増程度であるが、設計工数は 50% 程度低減できる。又、CMOS のアナログマスタスライスもあるが、あまり高い設計品質は期待できない。

LSI のパターンレイアウトにおいても高精度化、高 SN 比化のために細かな工夫が必要である。特にデジタルと混載するアナログ回路には論理動作電流に起因する電源雑音が漏れて SN 比を劣化させるので、これを防止するような配線のレイアウトが重要である。

5. 具体例

具体例として 1 チップ CMOS-PCM-CODEC について述べる<sup>(49)</sup>。写真 1 はチップ写真であり、C アレーと R ストリングを併用した圧伸 8 bit (線形 13 bit 分解能相当) A-D-D-A 変換器、SCF による帯域制限用 8 次 BPF と 5 次 LPF、クロック発生用 PLL 等

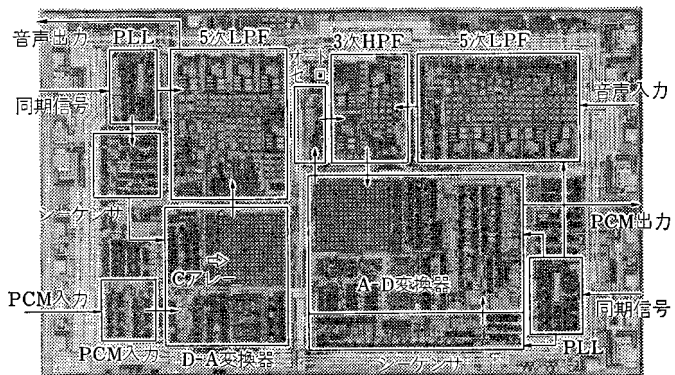


写真 1 1チップ CMOS-CODEC-LSI

から構成されている。5  $\mu\text{m}$  ルール CMOS 技術を用いて、MOS デバイス約 4,000 個、C700 個、R70 個を  $4.3 \times 7.0 \text{ mm}^2$  のチップに搭載している。この LSI は  $\pm 5 \text{ V}$  電源で 35 mW と低電力であり、60 dB 以上のダイナミックレンジを有する音声信号の符号化、復号化の機能を 1 チップで実現できる。

このほかに線形 A-D 変換器、PB 受信器<sup>(19)</sup>、A-D-D-A 変換器を内蔵した信号プロセッサ<sup>(20)</sup>、MOD-EM 用アナログ LSI<sup>(21)</sup> 等多くが開発されている。

## 6. 将来動向

### (1) 性能の改善と応用分野の拡大

現在実用化されている MOS アナログ IC はほとんど音声帯域信号を扱うものであるが、VLSI デバイス技術、アナログ回路に適したスケールダウン技術により、高周波化、高速化が進み、ビデオ帯域以上の高周波な領域にも伸びて行くであろう。

高精度、高 SN 比化についても主として回路技術の工夫により SN 比 100 dB 以上の SCF、直線精度 16 bit の A-D-D-A 変換器、超低ドリフトの DC アンプ等が、実用化されるであろう。

### (2) アナログ信号処理とデジタル信号処理

アナログ IC では素子精度、SN 比等の特性を確保する必要があるため、LSI の微細化が進んでもチップの小形化に限界がある。そこでアナログ信号をデジタル化して処理する方法が有効となる。図 9 は音声用 PCM-CODEC の回路方式として、(i) Cアレー A-

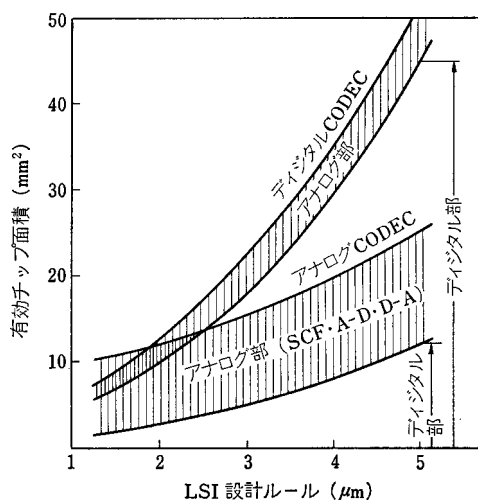


図 9 アナログ方式とデジタル方式の CODEC のチップ面積の比較

D-D-A と SCF を用いたアナログ方式と、(ii) オーバサンプル形 A-D-D-A とデジタルフィルタを用いたデジタル方式を考え、チップ面積を比較したものである。論理回路は LSI 技術の微細化に伴って著しく小形化されるのに対して、アナログ回路はあまり小形化されない。図では 2  $\mu\text{m}$  ルール付近に両者のクロスポイントが存在している。消費電力もデジタル化により低減される。又、デジタル方式では演算のビット数を増やせば、高 SN 比化が達成でき、電源雑音に対しても強い。従って、音声帯域ではデジタル信号処理化が進み、特にプログラマブルな信号プロセッサが多用されるであろう。しかし、高周波領域でのアナログ IC の優位性は当分の間保たれるであろう。

## 7. むすび

MOS デバイスの特長を生かした Cアレー A-D-D-A、SCF 等の高精度なアナログ回路と低電力、高密度な論理回路との組合せにより、パイポーラに比較して、低電力で高集積なアナログ LSI が実現できるようになった。今後、VLSI 技術の適用により高性能化が進み、音声帯域から高周波域へと適用領域が拡大されて行くであろう。

最後に日ごろ御指導いただく武蔵野通研の鈴木部長、大和田室長に感謝する。

## 文 献

- (1) Hodges, D.A. and Gray, P.R. : "Potential of MOS technologies for analog integrated circuit", IEEE J. Solid-State Circuits, SC-13, 3, pp. 285-294 (June 1978).
- (2) Tsividis, Y.P. and Gray, P.R. : "An integrated NMOS operational amplifier with internal compensation", IEEE J. Solid-State Circuits, SC-11, 6, pp. 748-753 (Dec. 1976).
- (3) McCreary, J.L. and Gray, P.R. : "All-MOS charge redistribution analog-to-digital conversion techniques—part I", IEEE J. Solid-State Circuits, SC-10, 6, pp. 371-379 (Dec. 1975).
- (4) Hosticka, B.J., Brodersen, R.W. and Gray, P.R. : "MOS sampled-data recursive filters using switched capacitor integrators", IEEE J. Solid-State Circuits, SC-12, 6, pp. 600-608 (Dec. 1977).
- (5) Iwata, A., et al. : "A single-chip Codec with switched-capacitor filters", IEEE J. Solid-State Circuits, SC-16, 4, pp. 315-321 (Aug. 1981).
- (6) 永田, 金子 : アナログ LSI におけるパイポーラと MOS の役割, 昭 56 連大, 22-1.
- (7) McCharles, R.H. and Hodges, D.A. : "Charge circuits for analog LSI", IEEE Trans. Circuits & Syst., CAS-25, 7, pp. 490-497 (July 1978).
- (8) 内村, 岩田 : "低電力 CMOS 演算増幅器", 信学技

- 報, **SSD 80-62** (1980-11).
- (9) Gray, P.R., et al. : "Some practical aspects of switched capacitor filter design", Proc. 1981 ISCAS, pp. 419-422.
- (10) Poujois, R. and Borel, J. : "A low drift fully integrated MOSFET operational amplifier", IEEE J. Solid-State Circuits, **SC-13**, 4, pp. 499-503 (Aug. 1978).
- (11) Matsui, K., et al. : "2 micron CMOS switched capacitor circuits for analog video LSI", Proc. 1982 ISCAS, pp. 241-244.
- (12) Akazawa, Y., et al. : "A new linearity error correction technology for A/D and D/A conversion LSI", Dig. Tech. Papers, 1982 ICSSD, pp. 69-70.
- (13) 内村, 岩田 : "スイッチト・キャパシタ・フィルタの高 PSRR 化設計, 信学技報, **SSD 82-6** (1982-04).
- (14) Hsieh, K.C. and Gray, P.R. : "A low-noise chopper-stabilized differential switched-capacitor filtering technique", 1981 ISSCC Dig. Tech. Papers, pp. 128-129.
- (15) 内村, 岩田 : "ダイナミック・アンプを用いたスイッチト・キャパシタ・フィルタ", 昭 57 信学総全大, 392.
- (16) Blauschild, R., et al. : "A new NMOS temperature-stable voltage reference", IEEE J. Solid-State Circuits, **SC-13**, 6, pp. 767-774 (Dec. 1978).
- (17) 内村, 岩田 : "MOS 増幅器設計の自動化", 信学技報, **CAS 81-16** (1981-06).
- (18) 岩田, 内村, 菊池 : "CMOS アナログビルディングブロック LSI 設計技術", 信学技報, **SSD 82-7** (1982-04).
- (19) White, B.J., et al. : "A monolithic Dual tone multifrequency receiver", *ibid.*, pp. 991-997.
- (20) Townsend, M., et al. : "An NMOS microprocessor for analog signal processing", IEEE J. Solid-State Circuits, **SC-15**, 1, pp. 33-38 (Feb. 1980).
- (21) Kuraishi, Y., et al. : "A single-chip NMOS analog front-end LSI for modems", 1982 ISSCC Dig. Tech. Papers, pp. 146-147.

## 国際会議

### 第 6 回パターン認識国際会議 (6th International Conference on Pattern Recognition)

主 催 : DAGM, IAPR  
 日 時 : 1982 年 10 月 19~22 日 (4 日間)  
 会 場 : Technical University of Munich, F.R. Germany (西ドイツミュンヘン工科大学)  
 参 加 者 : 約 600 名 (内, 日本人約 60 名)  
 主要参加国 : アメリカ, ドイツ, 日本, フランス, カナダ, イタリア, オランダ, 中国, はじめ 23 箇国  
 セッション数および論文数 : 22 セッション, 265 件 (プログラム登録 267 件), ポスタ 50 件, パネル 4 件  
 展 示 : バスによる見学 11 社外  
 Proceedings 発行所 : IEEE Computer Society Press  
 日本における報告会 : 未定  
 主たるトピックス  
 本会議は 1 年おきに開催されている。パターン認識は科

学であると同時に芸術でもある (Conference Chairman H. Marko 氏談) といわれ, 西ドイツの科学と芸術の中心であるミュンヘンは本会議を開くのに理想的な場所 (ミュンヘン工科大学 W. Wild 氏談) であった。会議事務局のみでなく, バイエレン州政府からも宮殿でレセプションを催すなど多くの尽力があった。

セッションの数からみると Image Understanding, Image Preprocessing, Medical Application, Image Segmentation 等が多い。Character Recognition やその他の Application も活発に研究されている。Remote Sensing や Speech Processing は数が少なかったが, これはほかに専門の会議があるためで研究が少ないためとは思われない。

今回の会議では単なる試作に関する発表が少なく, 基礎理論的なものがやや多く採用されたようである。文字認識の分野においてさえも生体の視覚系を意識した研究が発表されていたのが印象的である。日本の第 5 世代コンピュータへの関心も高く, 棟上氏が特別講演を行った。

なお, 次回は 1984 年 7 月 30 日から 4 日間カナダのモントリオールで開かれる予定である。

(執筆) 前田賢一 : 正員 東京芝浦電気株式会社