



VLSI設計教育の現状と将来

総合報告

鳳 紘一郎 上田和宏 南谷 崇 安浦寛人 岩田 穆 家田信明 石井吉彦 浅田邦博

鳳 紘一郎：正員 東京大学大規模集積システム設計教育研究センター
E-mail hoh@ee.t.u-tokyo.ac.jp

上田和宏：正員 芝浦工業大学システム工学部電子情報システム学科
E-mail ueda@ulab.se.shibaura-it.ac.jp

南谷 崇：正員 東京大学先端科学技術研究センター
E-mail nanya@hal.rcast.u-tokyo.ac.jp

安浦寛人：正員 九州大学大学院システム情報科学研究科情報工学
専攻 E-mail yasuur@c.esce.kyushu-u.ac.jp

岩田 穆：正員 広島大学工学部第二類
E-mail iwa@dsl.hiroshima-u.ac.jp

家田信明：正員 NTTエレクトロニクステクノロジー株式会社LSI
事業本部 E-mail ieda@gmgw.center.net.co.jp

石井吉彦：正員 早稲田大学大学院理工学研究科電気工学専攻
E-mail ishii@muraoka.info.waseda.ac.jp

浅田邦博：正員 東京大学大規模集積システム設計教育研究センター

VLSI Design Education in Japan. By Koichiro HOI, Member (VLSI Design and Education Center, The University of Tokyo, Tokyo, 113 Japan), Kazuhiro UEDA, Member (Shibaura Institute of Technology, Oomiya-shi, 330 Japan), Takashi NANYA, Member (Research Center for Advanced Science and Technology, The University of Tokyo, Tokyo, 153 Japan), Hiroto YASUURA, Member (Graduate School of Information Science and Electrical Engineering, Kyushu University, Kasuga-shi, 816 Japan), Atsushi IWATA, Member (Faculty of Engineering, Hiroshima University, Higashi-Hiroshima-shi, 739 Japan), Nobuaki IEDA, Member (LSI Business Group, NTT Electronics Technology Corporation, Atsugi-shi, 243 Japan), Yoshihiko ISHII, Member (Graduate School of Science and Engineering, Waseda University, Tokyo, 169 Japan), and Kunihiro ASADA, Member (VLSI Design and Education Center, The University of Tokyo, Tokyo, 113 Japan).

ABSTRACT

長年の課題であった大学等の教育研究におけるLSI試作サービスが、「大規模集積システム設計教育研究センター」(東大)の設立によって、本格的に始まった。本報告では、大学におけるVLSI設計教育の現状と将来について、諸外国との比較、上記センター設立までの経緯、パイロット試行の詳細、実際の教育例、上記センターの今後等を中心に報告する。我が国のVLSI設計教育研究の大きな飛躍が期待される。

キーワード：大規模集積回路 (VLSI), VLSI設計教育, チップ試作サービス, ゲートアレー, フルカスタム設計, デジタルLSI, アナログLSI

I. VLSI設計教育の現状と将来

平成8年5月に全国大学・高専の共同利用センター「大規模集積システム設計教育研究センター」(通称VLSIセンター, 英語名VLSI Design and Education Center, VDEC)が東京大学に設置された。それを支援したVLSI設計教育高度化のための全国的な議論を集約し今後の方向を探るために、本総合報告が九大安浦氏を中心に企画された。本稿はその序論として、本総合報告を構成する各報告の位置づけにふれながら、これまでの経緯⁽¹⁾を大略紹介し将来を展望

したい。

高度情報化技術を支える創造的なVLSIを設計できる技術者を育成するには、大学等で設計したVLSIチップが実物として試作されることが有効である。そのための支援体制の確立が我が国でも強く要求されていることは、本報告Ⅱ.で上田氏(芝浦工大)が紹介されるとおりである。

試作の有効な手段として米国がいち早く始めたマルチプロジェクト方式のチップ試作体制(MOSIS, MOS Implementation System)は我が

国にも刺激を与え、1980年代に菅野卓雄教授(当時東大)を中心とする総合研究が行われた(V. 浅田氏報告)。その後このメンバーから私立大学を中心として日本版MOSISの研究グループ活動が起り、今日のマイクロエレクトロニクス機構・マルチプロジェクトチップ委員会(代表芝浦工大上田和宏教授)へと受け継がれている。一方、国公立大学では約5年程前から東大生駒俊明教授(当時)の呼びかけで国公立大学の連絡会(代表広島大廣瀬全孝教授)が発足し、試作支援体制への活動が再開された。また通産省にも生駒教授を委員長として半導体基本技術水準高度化機構検討委員会が設置され、平成5年6月に「LSI設計技術高度化推進機構」に関する提案書がまとめられた。

これら国公立大学のグループは一体として、本学会にVLSI設計教育高度化研究専門委員会(委員長廣瀬教授)を設置したほか、文部省科学研究費では南谷崇教授(東工大)を代表者とする総合研究(A)「大学におけるVLSIシステム設計教育高度化のための総合的研究」^[2]が平成6,7年度に行われた。この間個々の大学でもVLSI設計試作の試みが行われており、その一例は本報告IV.で早大石井氏が紹介される。

こうした動きに応じて通産省は平成6年から国公立大学、企業の委員による「次世代技術教育・研究環境高度化検討委員会」(委員長 鳳)を設置し、その委託の下に同名のワーキンググループが(財)新機能素子研究開発協会に設け

られてマルチプロジェクト方式のチップ試作のパイロット試行が行われた。これは上述の文部省科研費による総合研究と実質上一体となって行われたものである。

このパイロット試行はまだ仲介機関としてのセンターが存在しない過渡的な態勢の下であったが、ファウンドリーを引き受けられたNELの御努力もあって、平成6,7年度にわたりテストドライバーとして参加された延べ20余りの大学グループの設計したCMOSゲートアレーならびにフルカスタムチップを成功裡に試作することができた。その詳細は本報告III.の南谷氏ほかによる報告に述べられている。試作の成功もさることながら、このパイロット試行のもう一つの意義は大学と企業の相互理解を一步進めた点にあると考える。

このような積み重ねが、冒頭に述べた文部省によるVLSIセンターの設立となって結実した。センターの詳細は本報告V.の浅田氏の報告に譲るが、8年度のテストランでも20余りの大学・高専から参加希望がありセンターにかけられた期待と責務は大きい。本センターが今後所期の成果を挙げるためには関係省庁・産業界からの継続的な御支援と、参加大学・高専の御理解御協力が必要であるが、この活動によってVLSIのソフトからハードまで広く視野に収めた設計技術者を送り出すことができれば、一線級の製造技術と併わせて、高度情報化技術の進展に国際的にも貢献できると信ずるものである。(鳳 紘一郎)

II. VLSI 設計教育とチップ試作サービスの必要性

1. はじめに

本報告では、VLSI設計教育におけるチップ試作サービスの必要性について、大学や企業を対象に行ったアンケート調査の結果に基づいて、定量的に述べる。また、諸外国、特に最近進展の著しいアジア近隣国の大学向けチップ試作サービスの状況について紹介する。

2. 国内大学のチップ試作サービスへの需要状況

1994年10,11月に、電子情報通信学会VLSI設計教育高度化時限研究専門委員会(委員長廣瀬全孝)で、国内の大学(工業高等専門学校を含む)を対象としてチップ試作に関するアンケート調査を実施した。調査の目的は、国内大

(3) 作製目的と作製数

チップ作製の目的を研究用と教育用に分けると、以下ようになる。

- 研究用……320 種類/年
- 教育用……300 種類/年

この結果、年間 5 千名弱の学生がチップ作製経験をもつことが予測されている。

(4) その他

「1 品種当りのチップ試作費用として、どの程度の自己負担が可能か」との問に対して、研究用では、10～50 万円が多く、教育用では、1～20 万円が多くを占めている。

また、「サービス機構を通じて CAD ソフトの入手を希望するか」との問に対しては、入手の必要はない (32)、入手を希望する (134) で、自己負担額については、20～100 万円が大半を占めている。

3. 半導体産業界のニーズと VLSI 設計教育

1994 年末に日本電子工業振興協会、日本電子機械工業会および半導体産業研究所により、国内の大学における LSI・半導体研究の現状と産業界のニーズとの関連について、大学およびメーカー向けのアンケート調査が行われた。

その結果が、半導体産業研究所と日本電子機械工業会のレポート：半導体産業「創造的研究開発への挑戦」として報告されている⁽³⁾。

LSI・半導体に関連する大学の研究室に配属されている学生がどの技術分野の研究に携わっているかという調査の結果、「基礎物性技術」(22.9%)、「プロセス・材料技術」(18.2%)、「新材料技術」(14.7%)、「デバイス技術」(13.4%)の順であった。一方、半導体メーカー研究・技術者の現在の業務に関係が深い技術分野としては、「LSI 設計」(29.9%)がトップに挙げられている。次いで、「プロセス材料技術」(17.3%)、「設計・CAD 技術」(12.5%)、「デバイス技術」(10.3%)といった順となっている。これから明らかなのは、産業界の研究・技術のニーズが LSI 設計や設計 CAD 関連の分野にシフトして

きているにもかかわらず、大学の研究・教育分野は、依然基礎物性や材料、プロセスに重点が置かれているという、いわばミスマッチングが生じていることである。

このような調査結果からも、今後大学において特に LSI 設計および設計 CAD 関連分野の研究・教育環境の充実に力を入れていく必要性が大きいことが明らかにされたといえる。大学向けのチップ試作サービス体制を整備するということは、大学における LSI 設計分野の教育・研究の活性化に役立つことは当然として、結果として LSI 設計能力を備えた人材を育成することであり、これはまさに産業界のニーズに沿ったものである。

4. 国外の大学向けチップ試作サービスの状況

国外において大学向けのチップ試作サービスとして、最も歴史があり、実績も多いのは、米国の MOSIS サービスである。また、同様に長年のサービス実績をもつのは、フランスの CMP サービスである⁽⁴⁾。また、ヨーロッパは、EU 諸国を中心として 10 数か国の 300 以上の大学が EURO PRACTICE サービスに参画している。各国の MPC (マルチプロジェクトチップ) サービスの経緯を図 2 に示す。紙数の都合上、以下では、アジア近隣諸国の状況についてのみ述べる。

(1) CIC (台湾)

台湾では、1992 年に行政院国家科学委員会のもとに晶片設計製作中心 (CIC: Chip Implementation Center) が設置された。以来、MPC サービスが本格的に実施され、大学における VLSI 設計教育・研究用のチップ試作の実績が急速に上がっている。

① センター組織

約 20 名の技術スタッフと若干名の事務職員からなる。大学博士課程の学生も何人か臨時要員として務めている。

② CIC のサービス内容

- MPC 設計製作環境の整備

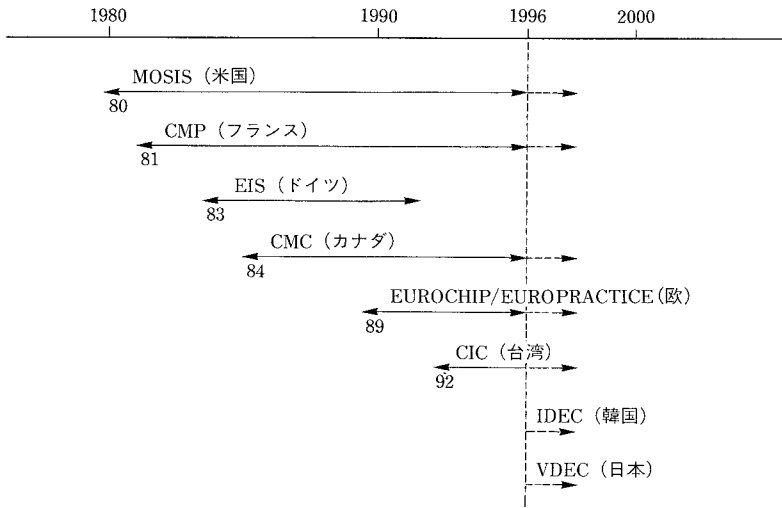


図2 各国 MPC サービスの経緯

- CAD ベンダとの契約
- トレーニングコースの開催
- シリコンファウンドリーとの契約，ランスケジュールの作成と公表
- テスト環境の整備とテストサービス
- 技術コンサルタント
- ニュースレターの発行 (2回/年)

③ テクノロジー，設計方式

設計方式としては，フルカスタムとスタンダードセル方式が利用可能である。ゲートアレイはサポートされていない。テクノロジーは， $0.5\sim 3.5\mu\text{m}$ の CMOS を中心として，BiCMOS，GaAs も提供されている。1995 年度の製造ラン回数は総計 22 回である。

教育用の 2 種類のテクノロジーは，寸法，ピン数 (40 ピン)，I/O パッド部が固定されている。研究用チップの製造については，事前審査がある。大学から 5 名，産業界から 5 名の委員からなる審査委員会を 2 か月に 1 回開催。チップ製造とパッケージングの費用はすべて CIC の予算で賄われている。

④ CAD ツール

LSI 設計のための CAD ツールとして，CIC が CAD ベンダと一括契約し，以下のものを非

常に安価に大学ユーザに提供している。

- OPUS / Artist, DRACULA, SPW, ALLEGRO (Cadence)
- HSPICE (Metasoftware)
- SYNOPSIS (Synopsys)
- XILINX (Xilinx)

⑤ 参加大学と実績

20 数大学が CIC による MPC サービスに参画している。その結果，年間約 1,000 名の学生が MPC サービスを利用して LSI 設計試作を伴う実践的教育を受けている。CIC による MPC サービスは，大学のみではなく，企業も対象とされている。

大学によるチップの試作実績は，1992～95 年度にそれぞれ約 100, 200, 300 品種 (教育用，研究用を合わせて) であり，CIC 設立による効果が大きいことを示している。

(2) IDEC (韓国)

韓国では，1996 年に大学および中小企業向けの半導体設計教育環境の整備の一環として，IC 設計教育センター (IDEC) が設立された。これまでの韓国半導体産業はメモリ LSI 製造に偏っているが，今後のエレクトロニクス技術の高度化に対処するために，非メモリ領域の半導体産業への展開が必須となるとの認識がある。

そのためには IC 設計能力を有する人材育成が重要課題となり、その核となる組織として IDEC が設立された。センターは KAIST (Korea Advanced Institute of Science and Technology) 内におかれ、商工業省からの資金援助と産業界からの物的人的支援を得て運営されている。

① センターの機能

- CAD ツールおよびコンピュータ設備の購入、配付、保守
- MPC 設計教育と CAD ツール利用法のトレーニング
- VLSI およびシステム設計のためのテキストおよびビデオ教材の開発
- MPC 製造インタフェース
- 情報、教材等の交流のためのフォーラムの開催
- 中小企業のチップ試作へのサポート

② CAD ツール

当面配付される CAD ツールの種類は、

Altera, Cadence, COMPASS, Hspice, Mentor, MYCAD, Synopsys 等である。CAD ツールと合わせて、PC, WS などが配布される予定。

③ 参加大学およびチップ試作数

当面 38 大学が参加し、チップ試作数は初年度 80 品種弱、3, 4 年後には 200~250 品種/年を予定している。

5. むすび

本報告では、大学の VLSI 設計教育におけるチップ試作サービスの必要性について、特にアンケート結果に基づいて定量的に明らかにした。また、諸外国、特にアジア近隣国におけるチップ試作サービスの実施状況について紹介した。我が国においても遅ればせながら、同様のサービスが始まったばかりである。本格的なサービス体制が早期に確立されるよう期待したい。(上田和宏)

Ⅲ. VLSI 共同試作のパイロット試行実験

1. はじめに

VLSI システム設計技術に関する教育・研究環境の高度化を目指して、平成 6, 7 年度に文部省科学研究費総合研究 (A)「大学における VLSI システム設計教育高度化のための総合的研究 (研究代表者南谷崇)」および通産省「次世代技術教育研究環境高度化検討委員会 (委員長鳳紘一郎)」が協調して、マルチプロジェクト方式 VLSI 設計・試作のパイロット試行プロジェクトを実施した。教育・研究用の VLSI チップ共同試作の仕組みは、米国では既に 15 年以上前に MOSIS の名で誕生し、情報システム設計分野の人材育成、産業活性化に大きく貢献している。ここでは、我が国独自の新しい VLSI 共同試作支援システムの実現を目指して実施されたパイロット試行実験の結果を報告し、今後の課題を述べる。

2. パイロット試行のねらいと方法

過去 30 年間の集積回路技術の驚異的な進歩によって起きたシステム設計概念・技術の劇的な変化は、コンピュータと情報処理に関する研究・教育の多くの場面に新たな問題をもたらした。「システムオンチップ」の概念で象徴される今日の VLSI システム設計は、アルゴリズム、プログラミング、コンパイラ、OS、アーキテクチャ、論理回路、電子回路、デバイス、物性、等の知識を総合したシステム設計能力を要求する。このことは、物理レベルとは独立に扱うことが可能と考えられがちであった情報工学/計算機科学における多くの分野で、システムデザインの研究・教育を完結させるためには、ソフトウェア、アーキテクチャの開発とそれを具現する VLSI の設計、試作、評価を可能にする環境の提供が不可欠になったことを意味する。しかし、大学、研究所などがそれぞれ別個に

VLSI チップを試作・評価する手段をもつことは技術的にも経済的にもほとんど不可能である。このため、理工学系の教育・研究にとって必須である「モノ作りのセンス」の養成がソフトウェアの設計、実現だけにとどまり、その具象であるハードウェアの実現、評価を体験することができない、という事態が生じてきた。このことが科学技術立国を目指す我が国にとって有為な人材の養成に大きな支障となっている。

こうした認識から、日本の先端技術分野の将来を左右するシステム設計技術に関する教育・研究環境の高度化を目指して、VLSI チップ共同試作サービス体制のシミュレーションを実施し、その実現への課題と効果を明らかにすると共に、あるべき姿の提言を行うことをこのパイロット試行のねらいとした。

VLSI チップ共同試作サービスは、多数の利用者（設計者）、複数のファブ（チップ製造者）、および、それらの間に立つ仲介機構によって成り立つ。このパイロット試行では、複数の試行参加大学でそれぞれ別個に VLSI 回路／システムを設計し、NTT エレクトロニクステクノロジー (NEL) 社がこれを一つの VLSI チップに合成して試作する過程のシミュレーションを行った。すなわち、NEL 社がファブの役割と仲介機構の一部の役割を同時に果たしたことになる。

利用者（大学、高専、研究所、中小ベンチャー企業等）が VLSI チップ共同試作サービス機構に期待するサービス内容は、

- ① CAD ツールの維持・管理と低価格貸与
- ② ライブラリー情報の提供と維持・管理
- ③ 設計規則の提供と設計データの受付・編集
- ④ 多様な製造プロセスの確保と低価格でのチップ試作
- ⑤ テストのサポートと評価データの管理
- ⑥ CAD ツール利用法、VLSI 設計規則等の教育、広報、相談業務
- ⑦ 知的所有権等の法務管理

など、多岐にわたる。これらのサービス項目のうち、今回のパイロット試行は、マルチプロジェ

クトチップ試作サービスのシミュレーション（上記③、④に相当）だけに焦点を絞って実施したものである。

平成 6 年度は、八つの大学から提出された 8 品種を 2 グループに分け、4 品種相乗りのマルチプロジェクトゲートアレーの試作を 2 回行った。平成 7 年度は、4 品種のゲートアレー試作に加えて、14 品種のフルカスタム回路を 3.75 mm 角（有効面積 2.44 mm 角程度）×16 領域（内、2 領域は NEL のテスト回路）のレチクル上に合成するマルチプロジェクトチップを試作した。

3. ゲートアレー方式による設計

ゲートアレー方式による LSI チップ試作では基本的に、論理設計までを大学側で行い、レイアウト以降を製造側が担当した。この試行実験には、東北大、東大、東工大、広島大、九大、九工大、慶大、早大（以上 6 年度）および電通大、豊橋技科大、奈良先端大、東洋大（以上 7 年度）が参加した。

設計の主な条件は以下のとおりであった。

- ① 利用可能なゲート数：約 20,000 ゲート。
- ② 利用可能な外部信号端子数：116 ピン。
- ③ 製造側へのインタフェース：Verilog HDL によるネットリスト。（実際には、Parthenon に対応するインタフェースも提供した）。

この試行実験によって試作された 12 種類の回路のうち、研究用は 9 種、集積回路設計の教育用教材の開発が 3 件であった。研究用は、空間デジタルフィルタ用プロセッサ（東北大、8,778 ゲート）、低消費電力マイクロプロセッサ（東大 17,402 ゲート）、並列処理デジタルフィルタ（東工大、19,053 ゲート）、並列計算機用ネットワークチップ（慶大、17,356 ゲート）、ニューロチップ（広島大、18,052 ゲート）、パラレルノイマンプロセッサ（電通大、17,045 ゲート）、シリコン TRON プロセッサ（豊橋技科大、12,210 ゲート）、汎用コプロセッサの制御回路 LSI（奈良先端大、560 ゲート）、フォールトトレラントマルチプロセッサ用故障マスク

モジュール（東洋大、6,900 ゲート）であった。利用できるゲート数を最大限に利用した設計が多かった。

一方、集積回路設計教育や計算機システム設計教育の教材開発やカリキュラム開発を目的としたものは、教育用 16 ビットマイクロプロセッサ（早大、4,763 ゲート）、教育用マイクロプロセッサ KITE-2（九工大、8,228 ゲート）、教育用マイクロプロセッサ KUE-CHIP 2（九大、2,457 ゲート+512 バイトメモリ、計 6,200 ゲート相当）の 3 件である。これらは、学部あるいは大学院で設計実習の教材として、10 週間程度で設計できる簡単なプロセッサである。既に、上記各大学では、これらの設計を学生に行わせる実験を実施しており、今後試作サービスを利用した本格的設計教育への移行が期待される。教育現場での利用を考えると、種々の教育目的に適合する多種類の教材開発が重要だと思われる。このような教材開発の努力がますます重要になると考えられる。

設計手法としては、機能記述レベルで設計して論理合成を行ったものが 9 件、ゲートレベルで設計したものが 3 件となっている。今後のゲートアレー試作サービスは、機能レベルで設計するシステム系の教育研究に利用される可能性が高い。また、言語および合成ツールとして、国産の SFL/Parthenon を利用したものが 5 件、UDL/I によるものが 1 件あったことは、国内の CAD 技術の有効性を示したものとして意義深い。いずれの設計も 3~5 か月程度の極めて短期間で、主に少数の大学院生の手で行われており、既に大学側で数万ゲート規模の複雑なデジタルシステムを設計できる能力があることを示している。製造側とのインタフェースなどで、多くの問題が表面化し、その解決には NEL と大学双方の種々の努力が必要であったが、これらは試作システムが安定的にサービスを始めれば解決できる問題である。

ゲートアレーは、FPGA（Field Programmable Gate Array）や LPGA（Lasar Programmable Gate Array）など簡易で短いターンアラ

ウンド時間を特徴とする技術が急成長しており、教材としても利用され威力を発揮している（例えば九工大の KITE-2 など）。しかし、レイアウトまで大学側で行うフルカスタム設計やセルベース設計に比べて、実際に教育/研究現場でゲートアレー試作サービスがどの程度要求されるかは流動的であり、その必要性をどう考えるかは今後の検討課題である。

4. フルカスタム方式による設計

フルカスタム方式は設計自由度が素子レベルまで設計者に与えられており、インプリメント可能な機能、設計法共にゲートアレーに比べて、大きな多様性をもつことが特徴である。新しいアーキテクチャや回路の研究と半導体デバイス物理や LSI 設計教育の両者にとって必須な設計方式である。

フルカスタム方式の試行実験として平成 7 年度に 11 大学（東大、東工大、農工大、豊橋技科大、京大、阪大、広島大、九工大、熊本大、早大、芝浦工大）の設計グループによる合計 14 品種の回路（図 3）を一つのレチクル上に合成したマルチプロジェクトチップ試作を実施した。設計条件は、NEL 社 2 層ポリシリコン 0.8 μm CMOS 技術、チップサイズ：3.75 mm 角、ピン数：最大 76、インタフェースは GDS II ストリームデータという内容で、設計期間は約 4 か月であった。試作ファウンドリー（NEL）より HSPICE の MOS モデル（LEVEL 28）用パ

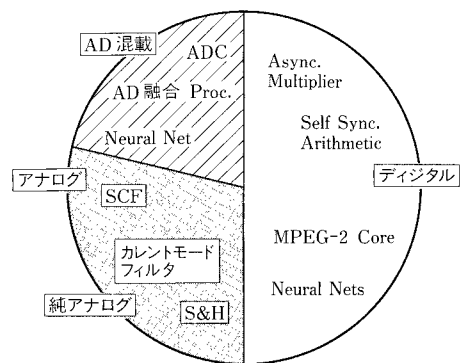


図 3 フルカスタム 14 チップの回路分類

ラメータセット、スタンダードセルライブラリー、DRC用レイアウトルール記述ファイルが提供された。使用したCADツールはそれぞれの参加大学が整備している設計環境に依存しており、様々である。11大学14チップの設計内容、回路ごとの割合を図3に示す。デジタル回路とアナログ回路がほぼ半分ずつ、このうちアナログにはAD混載チップも含まれている。非同期式論理回路、画像処理チップ、ニューロチップ、A-D変換器など多種多様な内容となった。参加大学の多くは今回のフルカスタムチップ試作の目的を、研究用であると同時に、研究室に所属する学生のLSI設計教育であると位置づけ、CADツールの立ち上げを含むすべての工程を学生に実施させている。

フルカスタムチップ試作に参加した設計グループを対象に、

(i) 提供されたテクノロジーと設計方式の評価

(ii) 今後のLSI試作サービスのあり方についてアンケートを実施した。

まず、(i)に関する回答をまとめると以下のようなものである。プロセス技術については、技術の安定性から満足とする意見が多かった。チップサイズは半数以上の大学が満足している一方で、内部信号のモニタをできる限り可能としたいという要求から端子数不足を訴えるグループが多かった。設計環境については、回路シミュレーション環境やデバイスモデルに要求する精度の違いから、モデルパラメータ抽出のためにデバイスの電気的特性実測データの提供を希望する意見が複数あった。レイアウトまで大学で設計し、ストリーム形式で設計データを提供するという方式については賛成とする意見が多数であった。試作チップの供給について、アンケート実施時にベアチップの要求がいくつかのグループから提案され、76ピンのQFPパッケージ品に加えてベアチップでの供給も実施された。

次に、(ii)に関して問題点を抽出すると以下ようになる。

① 設計環境

ゲートアレーに比較して設計環境整備に多くの労力が必要である。通常の回路アーキテクチャについてはCADツールとライブラリーをできるだけ標準化して、各大学で共有し、環境整備労力を分担することが必要である。設計情報としてより詳細なデバイスパラメータや特性データ、すなわち異種モデル向けパラメータセット、プロセス感度偏差やサイズ依存性のデータ、そして寄生素子のデータ等が必要である。セルライブラリーとして論理エディタ用シンボル、論理シミュレータ用パラメータ、そして論理合成用ライブラリー等の整備が必要である。デザインルール検証用ルールファイルの完備も不可欠である。また、標準的なレイアウト設計例も大いに参考になる。

② 試作テクノロジー

フルカスタム設計ではアナログ回路を含むチップが多く、2層ポリ容量と多層配線技術が必須であろう。また、アルゴリズムやアーキテクチャの検証には安定した技術によるチップ供給が望ましいが、一方で新機能デバイスやデバイス依存の強い回路など、最先端のプロセスや特別なデバイス技術を必要とする研究も試作サービスの対象とすべきである。担当大学を決めて段階的に充実させていく必要がある。この場合、素子分離構造や不純物濃度といったプロセスデータの提供がどこまで可能か、が問題になる。

③ チップサイズ

ロジック系LSIや、AD混載LSIではチップサイズの制約で回路規模が決まっている場合が多く、より大きなチップも選択肢として必要である。CADの進歩により設計規模の問題が克服されつつあるので、段階的に10mm、15mmと拡大する必要がある。これらのチップサイズは、試行サービス利用者が設計規模に合わせて選択できることが望ましい。

④ ピン数

演算ブロックやアナログ回路TEGを搭載する場合などでは回路規模に比較して多数のピンが必要となる。また、システムLSIでは内部信

号の観測ピンもできるだけ多く装備することが望ましい。従って、内部パッドの利用やスタンダード I/O セルの種類を豊富にしてピン数を稼ぐなどの工夫が必要になる。

⑤ 実装

プロービングでチップ内部も見られるようなセラミック PKG 実装が好ましい。システム実験用にベアチップ供給、また統計的なデータ解析のためにウェーハ供給も可能であることが求められる。

このフルカスタム方式の試行では、不十分な設計期間、不満足な設計環境、設計経験の不足などに起因して様々な問題が発生したものの、各設計グループ共に可能な限りの努力でフルカスタム設計に挑戦し、研究面および教育面で大きな成果を上げることができたと考えられる。

5. マルチプロジェクトチップの製造

(1) 平成 6 年度の試行実験

多品種の LSI の実現と、研究試作の結果を得るのに十分な集積規模の実現、を両立させるため、NEL 社所有の $0.5\ \mu\text{m}$ の BiCMOS/CMOS (2 層配線) 技術を適用した 50 K ゲート SOG (Sea of Gate) 型ゲートアレイを使用することにした。実効集積規模は約 20 K ゲートである。オンチップ電圧変換回路を有し、5 V と 3.3 V のいずれも実現可能である。ゲート遅延時間は標準的な負荷条件で $0.35\ \text{ns}$ と非常に高速であり、チップサイズは $7.5\ \text{mm}$ 角である。設計言語は、当初 Verilog-HDL に限定したが、いくつかの大学が所有設計資産の活用という観点から SFL と UDL-I の使用を希望したため、試行実験という観点に立って、受け入れることとした。

具体的な設計に先立ち、ゲートアレイの設計に必要なツール、ライブラリー、設計条件、等が NEL 社から参加大学に送付された。これに基づいて大学側で機能・論理設計を実施した。最終設計結果のネットリストが NEL 社に渡された後、NEL 社で仮想的な負荷条件で論理シミュレーションを行い、動作マージンの確認を

した。続いて、詳細なレイアウト設計を行い、その結果から得られる回路定数に基づいてバックアノテーションを実施した。設計の際に生じる各種の問題に対応するため、NEL 社内に設計環境を設けると共に、大学対応窓口として専任の技術者が一人配置された。この窓口は、LSI 開発の管理だけでなく、ネットリストに関する大学側との認識合せやマージン評価を行い、設計の完成度向上の役割をもった。検証後、4 チップのデータを合成し、製造に必要な評価パターンを挿入した後で、マスク作成用ファイルを作り、マスク作成に移った。年度内に 8 品種の LSI がすべて予定どおり完成し、参加大学へ提供された。

(2) 平成 7 年度の試行実験

前年度と同じゲートアレイの試作に加えて、デジタルとアナログ、更にはデジタル・アナログ (AD) 混載をも可能とするフルカスタム LSI の試作を実施した。ゲートアレイの設計条件は平成 6 年度と同じで経験があったため、特に大きな問題もなく、2 月末に全品種が完成した。

一方、フルカスタム LSI についてはウェーハ上で同時に多種類の LSI を実現するマルチチップ構成を前提としているため、アナログ LSI とデジタル LSI が同時に実現されなければならない。そこで、アルミ 2 層配線でポリシリコン 2 層の $0.8\ \mu\text{m}$ CMOS 技術を適用することとした。チップサイズはすべて $3.75\ \text{mm}$ 角とし、電極用のパッド位置と数を規格化して同じパッケージで実現することとした。

設計開始にあたって、参加大学と NEL 社の間で意識合せが行われた。当初、図形ベースインタフェースによる手設計のフルカスタム LSI を想定し、NEL 社から、トランジスタの HSPICE モデル、デザインルール、標準的なアナログならびにデジタル入出力回路、設計にあたっての基本的な注意事項、等を提供するという内容の提案がされた。しかし、参加大学の多数が大規模なフルカスタムのデジタル LSI を実現する計画であること、および、アナログ

系のLSIにおいてもかなりの規模のデジタル回路が制御用に必要であることが判明した。幸い、セイコー電子工業株式会社からSX 9000上で使用できる配置配線ツールの環境整備と提供に対応してもよいという申し出があったため、NEL社からスタンダードセルライブラリーとデザインルールが提示されることになり、スタンダードセルを用いた自動配置配線が可能となった。また、LSIの搭載ゲート規模を大きくしたいという要求や、観測できる端子数をできるだけ多くしたいという要望がかなりの大学から出されたので、両立する方法としてパッドをチップ周辺にルールが許す限り多く配置し、入出力回路はパッドと独立に配置する方法が採用された。更にトランジスタのHSPICEモデル、抵抗体のシート抵抗、各種の静電容量や配線抵抗など回路シミュレーションに必要なデータの提供、ならびに、レイアウトルールと推奨レイアウト例、チップレイアウト時の制約条件、図形データの層分け基準、スタンダードセルライブラリー、入出力セル、等が提供された。大学とのやりとりに対してNEL社ではアナログとデジタルの各々に対して窓口担当が一人ずつ配置された。

NEL社から5月に回路設計情報、デザインルール等が提供され、6月末までに補足的な情報が送付された。設計を担当した大学とNEL社の窓口担当者の間では電子メールで日常的に情報のやりとりが行われた。9月末に大学側のフルカスタムLSI設計が一応完了し、データがNEL社へ渡された。しかし、10月にNEL社でDRC（デザインルールチェック）を実施したところ、ゲートアレーとは比較にならない多くの問題が発生した。NEL社では、問題が深刻なレベルであると判断し、当初予定していた単純なデザインルールチェックにとどめることは中止し、拡大図面によるチェックと、グラフィックツール上での詳細なチェックを併用する方法に切り換え、電源配線法、サージ防護策、入出力回路など、この段階において可能な限り枠を広げてチェックを行った。この結果、バグの内

容が多岐にわたり致命的なものも検出されたため、NEL社で発見した詳細な検討項目を添付して、11月2日までに再送するという条件で各大学に修正を依頼した。再送データに基づいて再度DRC検証をNEL社で実施した後、マスク作成のために14チップの大学側設計データとNEL社が追加した2チップのデータを合成し、一つのマスクデータとした上でマスク製造に移った。試作したLSIチップ（図4）は年度内に各大学にパッケージに実装して提供された。なお、LSIの検査はNEL社が挿入したテストLSIやトランジスタ等の機能確認をもって当てることとした。

LSIの設計ではルールが遵守されないと、ファウンドリー側に多大の負担を強いることになりかねないが、今回発生した問題は主に大学側の経験不足によるものが多く、システム化が進めば白ずと解決されるものがほとんどであった。実際、フルカスタムLSIが大学でこれほど短期間に設計され、種々の問題は発生したがそれらに極めて短時間に対応できたことから、LSI共同試作サービスも環境が整えば、大いに期待できるポテンシャルにあるといえる。今後このシステムを有効に機能させるためには、今回ファウンドリーとしてNEL社が担務した役割を大学側で完遂できるようになることと、製造メーカーがファウンドリーの受け手として手

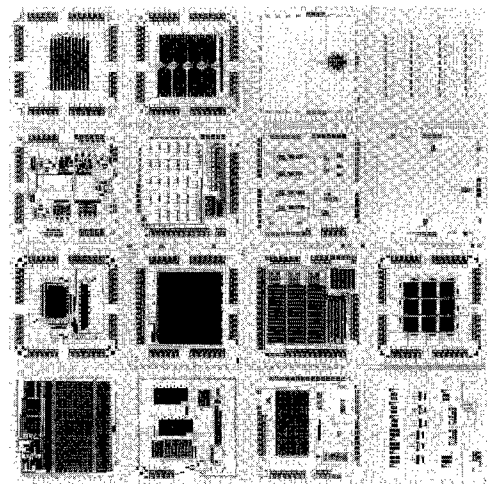


図4 試作されたマルチプロジェクト・フルカスタムチップ

を挙げたくなる条件を早期に確立することに尽きるであろう。

6. む す び

2年間のパイロット試行を通じて得られたいくつかの教訓を列挙する。

① チップ試作サービスの利用者は多様である。

試作内容は大規模デジタル回路から小規模アナログ回路まで様々であり、それに応じて、テクノロジー、チップ規模と種類、動作速度、パッケージ、受け渡しインタフェース、CADツール、ライブラリーなどに対する要求は多岐にわたる。

② LSI 設計には経験が必要である。

提出された多くのフルカスタム設計データに主として大学側の経験不足、認識不足、インタフェースの誤解などに起因する初歩的ミスが含まれていたためデータの修正・再提出を各試行参加者へ依頼し、当初計画より進捗が若干遅れた。大学におけるチップ試作を伴う VLSI システム設計教育の重要性を改めて感じさせた。

③ CAD ツールを使いこなすには時間がかかる。

機能が同じでも異なる CAD ツールではデータ形式が微妙に異なり、その変換に多大のエネルギーを要する。チップ試作サービスが広く利用されるためには何らかの「ツールの標準化」と使用法の教育が必要である。

④ CAD ツールは経年劣化する。

同じツールでもバージョンが更新されたり、環境が変化すると使えなくなることがある。CAD ツールの保守、管理を個別の大学で対応

することは困難であり、センターの一括契約による保守の仕組みを作る必要がある。

⑤ 設計したチップが出来上がると学生は感動する。

情報工学/計算機科学における多くの分野で、「モノ作りのセンス」の養成がソフトウェアの設計、実現だけにとどまり、その具象であるハードウェアの実現、評価を体験することができない状態が続いてきた。感動は教育の原点であり、これを体験させる意義は極めて大きい。

幸い関係各位の御努力で、1996年4月から全国共同利用の大規模集積システム設計教育研究センターが設置され、テストランの準備が進められている。これを第1ステップとして、今後、全国に地域別サービス拠点が設置され、それらを設計支援広域ネットワークで有機的に結合することによって、VLSI システム設計教育支援と共に、産学協同の先端技術研究支援の体制を構築できるならば、我が国独自の新しい教育・研究システムを生むことが期待できる。そのためにはまだ、CADベンダとの関係、CADツールの標準化と維持管理、VLSI ファウンダリーとの関係、テクノロジーの更新、設計ライブラリーの維持・管理、設計環境ネットワークの構築、教育スタッフの養成、教育カリキュラム、試作経費の確保など、解決すべき多くの課題がある。これらの課題をクリアするためには、できるだけ多くのユーザがこのセンターのサービスをまず利用すること、そしてこれらのサービスを支える優秀なスタッフと運営資金を十分確保できるよう、政府機関、産業界、大学関係者の理解と支援が必要である。

(南谷 崇, 安浦寛人, 岩田 穆, 家田信明)

IV. 試作を伴う VLSI 設計教育

1. はじめに

本報告では、学生が設計したマイクロプロセッサをゲートアレーへ実装する点で、1993年度から実施している早稲田大学における

VLSI 設計教育が MOSIS⁽⁵⁾ に匹敵していることを明らかにする。また、実装方法として、複数のマイクロプロセッサをマルチプレクサにより一つの回路にマージする多目的ゲートアレーを採用することで、チップ試作の費用を低くでき

ることを示す。

本教育の授業としての位置付けを表1にまとめる。

教育対象の学生はカウンタ回路といった簡単なデジタル回路を理解できるレベルであり、CADの使用経験者はいない。なお、設計の際は学生を5人程の班(1993年度計8班, 1994年度計11班, 1995年度計10班)に分け班ごとに実施する。

設計対象は表2に示すような簡単なマイクロプロセッサである。このような可制御性と可観測性向上のためゲート数に対し外部ピン数が比較的多いマイクロプロセッサを班ごとにゲートアレーへ実装した場合、チップ試作の費用は高くなる。そこで、チップ試作の費用を低くするため、実装方法として、班ごとに設計した複数のマイクロプロセッサをマルチプレクサにより一つの回路にマージする多目的ゲートアレーを採用している。なお、表2中のデータレジスタ数や専用レジスタ数の制約緩和により、汎用レ

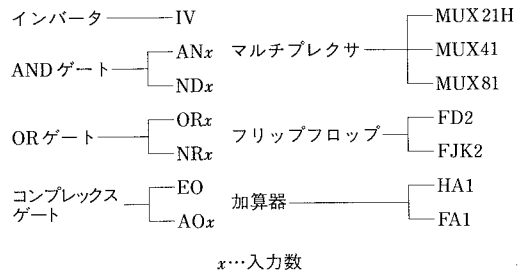


図5 マイクロプロセッサ設計規則 (セルの制約)

ジスタ, スタックポインタ, 条件レジスタ, インデックスレジスタなどの具現化が選択でき、命令セットだけでなくマシンタイプ(アキュムレータ方式, 汎用レジスタ方式, スタック方式)や分岐方式やアドレッシングモードなどのトレードオフがあるアーキテクチャ教育を実現している。また、表2中のビット数, ゲート数, 外部ピン数の制約は、ゲートアレー規模といった実装制約に起因している。更に、図5に示すようなマクロを用いないセルの制約は、プリミティブなレベルでのマイクロプロセッサの回路理解を学生に促すためである。

教育目的は、表1中の(工程1)~(工程5)といった一連の設計工程を体験することにより、各工程の要素技術を習得することである。

以下では、設計工程別の教育手順と教育結果を述べる^{(6)~(8)}。

2. 設計工程

2.1 教育手順

(工程1)では、学生各々がCADツールの操作方法と、ハザードレス設計やテスト容易化設計などの回路設計方法を学習する。

(工程2)および(工程3)では、教科書“CADによるマイクロ・プロセッサの設計”⁽⁹⁾に記載された具体的な出題例に従って(図6参照)、学生が班ごとにマイクロプロセッサのモジュール設計を完成させ、最終的にモジュールをまとめて全体(トップレベル)を完成させる。なお、マイクロプロセッサのモジュールは、演算回路、カウンタとレジスタ、シーケンサ、入出力バッファを含むトップレベルの四つに分けられる。

表1 授業としての位置付け

授業名	選択科目「情報システム実験」	
教育対象	理工学部情報学科3年生	1993年度38名選択 1994年度53名選択 1995年度54名選択
教育期間	半期	
設計工程	(工程1) CADの操作方法や回路設計方法を学習 (工程2) 回路入力 (工程3) 論理シミュレーション (工程4) チップの試作←半導体メーカーへ委託 (工程5) チップの評価テスト	
設計対象	マイクロプロセッサ	

表2 マイクロプロセッサ設計規則

仕様項目	1993年度	1994年度以降
命令セット	自由	自由
マシンタイプ	アキュムレータ方式	自由
データレジスタ数	1	1または2
専用レジスタ数	4*	4または5
ビット数	12	10
ゲート数	約2,000	1,500から3,000
外部ピン数	約50	約50

*...命令レジスタ, プログラムカウンタ, メモリアドレスレジスタ, メモリデータレジスタ

以下に示す仕様とテストデータをデフォルトとした演算回路を設計し、論理シミュレーションを行え。

演算回路の仕様

項目	内容
ビット数	4
入力ピン	<i>SRC 1</i> <0 : 3>, <i>SRC 2</i> <0 : 3>, <i>FUNC</i> <0 : 4>
出力ピン	<i>DEST</i> <0 : 3>
けた上げ機	リップル・キャリ
機能	加算, 減算, 論理右シフト, 論理(算術)左シフト, 算術右シフト, 通過

演算回路の仕様 (機能選択)

<i>FUNC</i> <0 : 4>	機能
0XX00	加算 $DEST \leftarrow SRC\ 1 + SRC\ 2$
1XX00	減算 $DEST \leftarrow SRC\ 1 - SRC\ 2$
X0001	論理右シフト $DEST \leftarrow SRC\ 1 \gg 1$
X0101	論理左シフト $DEST \leftarrow SRC\ 1 \ll 1$
X1001	算術右シフト $DEST \leftarrow SRC\ 1 \gg_a 1$
XXX10	<i>SRC 1</i> 通過 $DEST \leftarrow SRC\ 1$
XXX11	<i>SRC 2</i> 通過 $DEST \leftarrow SRC\ 2$

X...don't care

```

TITLE      TEST_FOR_ALU 4 ;
FUNCTEST  FC1 ;
INPUT (0)  SRC1_0_,SRC1_1_,SRC1_2_,SRC1_3_,
           SRC2_0_,SRC2_1_,SRC2_2_,SRC2_3_,
           FUNC_0_,FUNC_1_,FUNC_2_,FUNC_3_,FUNC_4_ ;
OUTPUT (7) DEST_0_,DEST_1_,DEST_2_,DESR_3_ ;
TIMING    TS1 ;
CYCLE     100 ;
TIMESET (7) STB,80,10 ;
ENDTIM ;
SEQUENCE  PAT ;
ASSIGN    (SRC1_3_,SRC1_2_,SRC1_1_,SRC1_0_),,
           (SRC2_3_,SRC2_2_,SRC2_1_,SRC2_0_),,
           FUNC_4_,FUNC_3_,FUNC_2_,FUNC_1_,FUNC_0_,,
           (DEST_3_,DEST_2_,DEST_1_,DEST_0_) ;
TESTPATT  PAT ;
ENABLE    TS1 ;
$2 $4 01000 @6 ; /* ADD 0010+0100=0110,2+4=6          */
 2 4 11000 E ; /* SUB 0010-0100=1110,2-4=-2          */
E 0 10001 7 ; /* SRL 1110>>1=0111,-2>>1=7          */
E 0 10101 C ; /* SLL 1110<<1=1100,-2<<1=-4          */
E 0 11001 F ; /* SRA 1110>>1=1111,-2>>1=-1          */
E 0 11101 C ; /* SLA 1110<<1=1100,-2<<1=-4          */
4 A 00010 4 ; /* PAS 0100=0100,4=4          */
B F 00011 F ; /* PAS 1111=1111,-1=-1          */
ENDTEST ;
ENDFUNC ;
END ;
    
```

演算回路に対するテストデータ

図6 演算回路の出題例

(工程4)では、多目的ゲートアレーによる実装方法を実現するため、(工程2)で完成した複数のマイクロプロセッサの回路図の入出力バッファに対しマルチプレクサを挿入し、一つの回路図とすると共に、マルチプレクサ挿入に伴って駆動能力が不足するセルをパワーゲートに修正し、回路図を仕上げる(図7参照)。更に、(工程3)で完成した複数のテストデータに対し編集し、一つのテストデータとする。その後、マージした回路図とテストデータを半導体メーカーへ渡し、チップを試作する。なお、(工程4)での回路図とテストデータのマージ作業を容易にするため、

- 入出力バッファに対するマルチプレクサ挿入作業を容易なものとする「入出力バッファの統一」
- 駆動能力が不足するセルを特定する作業を容易なものとする「ユニークなユーザー定義セル名の採用」
- 複数のマイクロプロセッサの起動に伴う副作用がなくなるため、テストデータの

マージ作業を容易なものとする「マイクロプロセッサの初期化状態をテストパターンの開始時と終了時に含んだテストデータ」といったノウハウを導入している。

(工程5)では、学生が班ごとにテストプログラムを作成する。その後、(工程4)で完成したチップに対し、班ごとにテストプログラムを実行させ評価テストを行う。

2.2 教育結果

(工程1)の期間は2日間であり、付録に示したCADツールの操作方法を1学生当たり平均4.9時間のCADの使用時間で習得できた。

(工程2)および(工程3)の期間は9~10週間(演算回路2週間、カウンタとレジスタ1週間、シーケンサ2週間、トップレベル4~5週間)であり、1993年度では8班中一つの班が設計できなかったが、1994年度では11班すべてが設計でき、1995年度では10班すべてが設計できた。

(工程4)の期間は1か月間であり、更に、(工程4)における要素技術を学生が習得するため、半導体メーカーが早稲田大学で講義を実施する

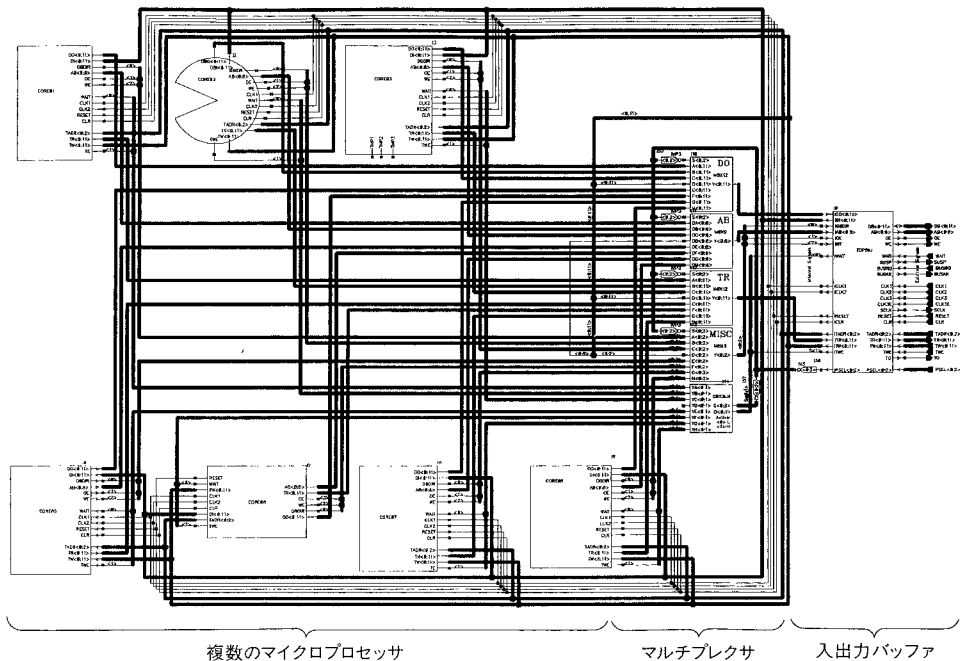
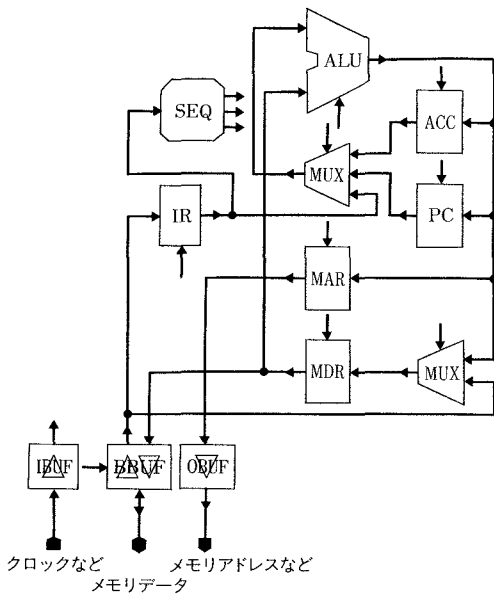


図7 マージした回路 (1993年度)

期間を1日間設けてある。

(工程5)の期間は1週間であり、評価テストの結果、1993年度ではロード命令が不具合となった班やシフト命令が不具合となった班があり、1994年度ではストア命令が不具合となった班があったが、他のすべての班のマイクロプロセッサは正常に動作した。なお、これらの不

具合は、チップ試作時の故障ではなく回路設計の誤りに起因している。また、CMOS シリコンゲートメタル2層配線(プロセス技術1.0μm, 電源5V, ゲート遅延0.4ns)の実装技術で、最大動作周波数は7.1MHz, ネット活性化率は98%以上、入出力バッファに対して挿入するマルチプレクサのゲート数は約900、全回路の



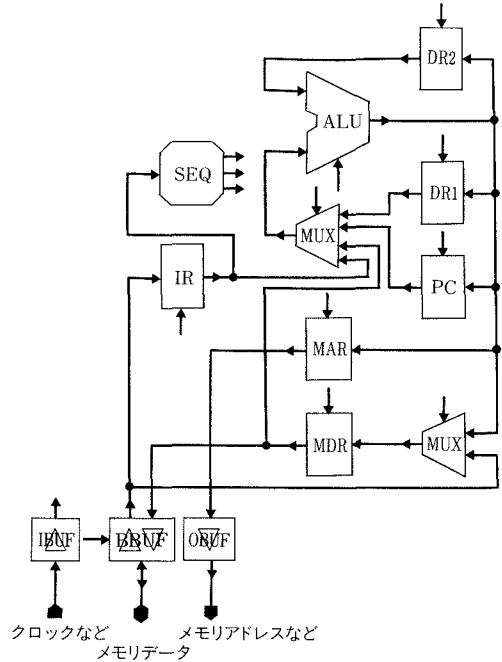
ブロック図

命令フォーマット

オペコード	オペランド	機能
ADD	ADR	$ACC \leftarrow ACC + M[ADR]$
SUB	ADR	$ACC \leftarrow ACC - M[ADR]$
LD	ADR	$ACC \leftarrow M[ADR]$
ST	ADR	$M[ADR] \leftarrow ACC$
B	ADR	$PC \leftarrow ADR$
BN	ADR	if $ACC < 0$ then $PC \leftarrow ADR$
SRL	-	$ACC \leftarrow ACC \gg 1$
SLL	-	$ACC \leftarrow ACC \ll 1$
SRA	-	$ACC \leftarrow ACC \gg_a 1$
*	-	$ACC \leftarrow \dots$
HLT	-	実行停止

*...CLR,INC,DEC など

(a) アキュムレータ方式



ブロック図

命令フォーマット

オペコード	オペランド	機能
LD_n	ADR	$DR_n \leftarrow M[ADR]$
ST_n	ADR	$M[ADR] \leftarrow DR_n$
ADD	-	$DR1 \leftarrow DR1 + DR2$
SUB	-	$DR1 \leftarrow DR1 - DR2$
*	-	$DR_n \leftarrow \dots$
B	-	$PC \leftarrow DR2$
BN	-	if $DR1 < 0$ then $PC \leftarrow DR2$
HLT	-	実行停止

*...SRL,SLL,SRA,CLR,INC,DEC,MV など

n...1,2のいずれか

(b) 汎用レジスタ方式

図8 マイクロプロセッサの仕様例

ゲート数は1993年度では16,083, 1994年度では21,638, 1995年度では19,926であった。

最後に、学生が設計したマイクロプロセッサの仕様例を図8に示す。図8中のブロック図と命令フォーマットにより、命令セットおよびマシンタイプのトレードオフについて学生が独自に考察し設計していることがわかる。

3. おわりに

本報告では、命令セット、マシンタイプ、分岐方式、アドレッシングモードなどのトレードオフについて学生が独自に考察し設計したマイクロプロセッサを半導体メーカーがゲートアレーへ実装している点で、1993年度から実施している早稲田大学におけるVLSI設計教育がMOSISに匹敵していることを明らかにした。

また、「入出力バッファの統一」、「ユニークなユーザ定義セル名の採用」、「マイクロプロ

セッサの初期化状態をテストパターンの開始時と終了時に含んだテストデータ」といったノウハウを導入することで、実装方法として、複数のマイクロプロセッサをマルチプレクサにより一つの回路にマージする多目的ゲートアレーを実現し、チップ試作の費用を低くできることを示した。

日本国内では、1大学だけでMOSISに匹敵しているVLSI設計教育を実施しているのは早稲田大学だけである。CADツールや教科書などの教育環境が整備されつつある現段階で早稲田大学だけなのは、教育環境の未整備に起因しているのではなく、多目的ゲートアレーによる実装方法を実現してもチップ試作の費用が数百万円かかることに起因している。今後、大規模集積システム設計教育研究センター⁽⁵⁾の設立などによりチップ試作の費用が低くなれば幸いである。(石井吉彦)

V. 設計教育研究センターと今後の展開

1. センター設立の目的

半導体集積回路を利用したインテル社のマイクロプロセッサ4004が発表されたのは1970年代初めであるが、米国ではその将来性をいち早く予見しており、1970年代後半にはカリフォルニア工科大学のC. Mead教授らはその著書⁽⁶⁾の中でシステム系の学生が自ら設計した計算機「Our Machine (OM) Project」について述べ、著者等の抱いていた「シリコンチップのもつ大きな可能性」を学生に対し鼓吹している。C. Mead教授らの活動はその後1980年代になってMOSIS組織を産み、現在でも大学・研究機関等の設計を試作するための支援を行っている。

日本でも1980年代初めにこの米国の動向に刺激され、菅野卓雄教授(当時東大, 現東洋大学長)等が中心となって国内の大学, 産業界の協力を得て, 同様の組織を日本に設立するために数年にわたって調査・検討し, 提案書にまと

めている⁽⁴⁾。残念ながらこの計画は実現しなかったが、これが我が国におけるVLSIの設計教育センター構想の最初のものであった。その後、国立・私立の大学関係者は産業界と個別に協議し独自にVLSI設計教育の高度化に努力してきたが、VLSI設計教育の中でチップ試作を取り入れることは費用その他の点で必ずしも容易ではなかった。

大学で今日のVLSI設計教育を行うために必要な条件がいくつかある。まず第1は設計ツールの整備である。最近では米国を中心とするCADベンダの主だったところが「ユニバーシティプログラム」をもっており、ワークショップがあれば比較的安価にCADを導入することができる。しかしCAD利用法についてのトレーニングやライブラリー整備等の問題から、すべての大学で利用できる体制にはなっていない。次にチップ試作支援体制の整備である。VLSI設計技術は実学であり、設計段階にシミュレーションを多用するものの、最終的には具体

的チップとして実現し評価する必要がある。また VLSI は依然として速いテンポで進歩しており、大学の教育体制はこの進歩を的確にとらえる必要がある。これには、VLSI 教育関係者が相互に協力し合うシステムが有効である。

上記の問題点を克服するためには 1980 年代初めに検討したように、やはり VLSI 設計教育を全国レベルで推進するセンターが必要であると考えられる。平成 8 年度に東京大学に設置された、全国共同利用の「大規模集積システム設計教育研究センター」はこの目的で設置されたものである。

2. センター組織とサブセンター

このセンターは VLSI 設計教育の高度化推進の拠点として機能する目的をもっており、全国共同利用施設として東京大学に設置されたものである。他の全国共同利用センター同様、全国の大学、高専の VLSI 設計教育関係者が利用者である。センターには全国のユーザを代表する「運営委員会」が設置され、センターの利用方法や運営方法の方針を決定する。その他、センターには予算・人事等を扱うための「協議会」が設置されている。

センターの人員構成に関しては、平成 8 年度

は専任教員 5 名と事務官 1 名でスタートした。平成 9 年度には更に 2 名の専任教員が追加されることを期待しているが、更に全国の大学との連携を密にする目的で、各大学から 2 年を単位として 2 名の教員をセンターに派遣する「流動ポスト制度」がスタートする予定である。また産業界と協力関係を密にする目的で客員教員（I 種）を 1 名おく予定であり、全体としては 12 名の教員スタッフと事務組織から構成される予定である。

この規模の組織は約 50 名程度とされる米国の MOSIS や 20 名程度の台湾の CIC に比較しても小さいものである。しかし本センター構想では当初より図 9 に示すように全国の拠点校をサブセンターとして位置づけたネットワークセンター組織を考えている。今日および将来の進んだ情報通信網を利用して拠点校の VLSI 設計関係教員と密接に連携し、全体として 1. に述べた目的を達成しようとするものであり、将来の発展に関しても柔軟に対応できる、従来のセンター組織の概念にとらわれない新しい形態のセンター組織の構築を考えている。

3. チップ試作支援構想

センターではチップ試作を支援する目的で、

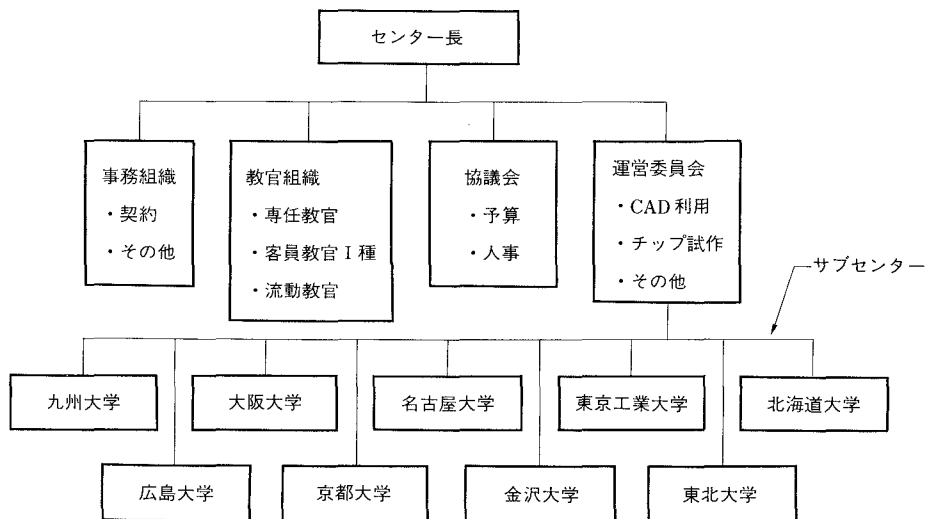


図 9 センター組織とサブセンター

CAD ツールの提供とチップの一括試作契約の窓口の機能を果たす予定である。このための準備として平成 8 年度は CAD ツールの導入契約とチップの一括試作の道筋を確立するための「チップ試作テストラン」を実施している。

CAD ツールの導入に関しては、表 3 に示したように用途に応じて 5 種類に分けて契約手続きを行っている。

これらの CAD システムは国内の大学および高专で、教育目的に限定するものの、自由に利用する条件で導入を進めており、センターが一括レンタル契約する。レンタルであるため、進歩の急速な CAD について、常に最新のものを提供することができるかと期待している。利用にあ

表 3 CAD システム一覧

CAD 契約項目	用 途
Verilog HDL を用いた設計システム	Verilog HDL ベースの入力、シミュレーション、論理合成、テスト生成（ケーデンス）
VHDL を用いた設計システム	VHDL ベースの入力、シミュレーション、論理合成、テスト生成（シノプシス）
自動配置・配線設計システム	マクロセルを含むセルベースの配置配線設計とバックアノテーション（アバンティ）
会話型設計システム	会話型の回路図およびマスクレイアウト入力、設計検証、回路抽出、回路シミュレーション（メンター）
アナログ設計システム	アナログ機能・回路シミュレーション、回路図入力、レイアウト設計、設計検証、回路抽出（ケーデンス）

たっての詳細は運営委員会で最終的に決定することとなるが、各ユーザは CAD を実行するための要件（主として主記憶量）を満たすワークステーションを用意することで利用が可能となる。

CAD のライセンスはセンターおよびサブセンターで集中管理するが、CAD の実行プログラム自体はユーザの手元に置くことを原則としている。また、センターのサーバ計算機のアカウント登録をすることにより、センターをリモートで利用することも可能とする予定である。この形態の利用は通信回線の制約を受けるため会話型の設計には向かないが、CPU 負荷の重いシミュレーションや設計検証、論理合成などには便利に利用できるものと考えている。

一方、チップ試作に関しては、平成 8 年度のテストランをふまえ、平成 9 年度からは本格的な運用に入る予定である。現在実施しているテストランでは表 4 に示す 2 種類の CMOS、日本モトローラと NTT エレクトロニクステクノロジー、について試作を行っている。ここに掲げた予定価格は両者の御好意によるところが大きいことを付言しておきたい。最終設計データはセンターの計算機上に標準形式で集められ、相乗りチップとしてまとめた上で試作委託される。

平成 9 年度以降はテストラン結果に基づき価格等に若干の修正を行うほか Sony/Chip Express 社の協力によるレーザプログラム型ゲートアレー（LPGA）を含め表 4 に記載のチップ試作をそれぞれ年 2 回の割合で行っていく予定である。詳細な日程等については運営委員会で

表 4 チップ試作に用いる CMOS 技術

区 分	チップ面積	予定価格	パッケージ
1.5 μ m (日本モトローラ) ・ポリシリコン 2 層 ・メタル 2 層	2.3 mm 角	3.7 万円	・ QFP (10 個)
	4.8 mm 角	15.5 万円	・ ベアチップ (10 個)
	7.3 mm 角	32.9 万円	
0.5 μ m (NEL) ・ポリシリコン 2 層 ・メタル 2 層	2.3 mm 角	15 万円	・ PGA/DIP (10 個)
	4.8 mm 角	60 万円	・ ベアチップ (10 個)
0.4 μ m 相当 (10 万ゲート) LPGA (Sony/Chip Express)		未 定	・ 2 個

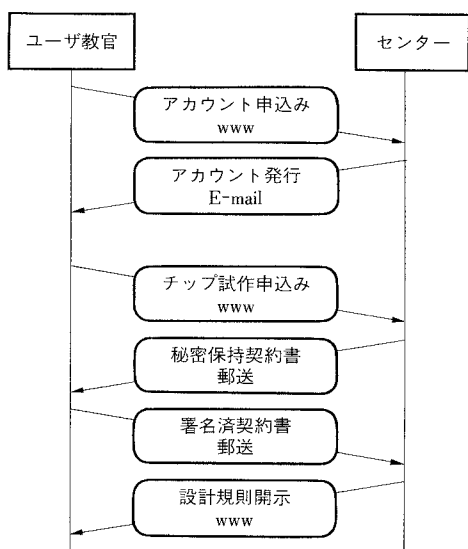


図10 チップ試作申込み手順

最終決定されるが、いずれの場合もセンターのWWWのホームページ、<http://www.vdec.u-tokyo.ac.jp>に常に情報を掲載する。

テストランでも同様であるが、チップ試作を申し込むユーザは原則として各大学、高専の教官とし、学生が直接申し込むことはしない予定である。これは、チップ試作に伴い表4に記載されている程度の費用負担が発生するためである。教官がチップ試作を申し込む手順は図10のとおりである。

ユーザはまずセンターのホームページでアカウントを申込みアカウント番号とパスワードをセンターから取得する。これは最初の年に一回行えばよい。次にチップ試作の申込みを同じくホームページで行う（センター計算機の利用申請も同時に行われる）。ここでアカウントとパスワードが必要となる。それに呼応してセンターから秘密保持契約書が郵送され、署名の上返送する。センターでは署名済み秘密保持契約書を受け取り次第、ホームページ上にある所定の設計規則関連のページのアクセスを許可する処理を行う。設計規則関連のページには、CMOS設計規則、電気的パラメータと共に、関係のライブラリー等が置かれている。なお秘密

保持契約に関係しない情報はアカウント、パスワードなしでも随時、センターのホームページで公開していく。

チップ製造委託契約の関係上、それぞれのCMOS製造技術ごとに、年2回の設計データ締切日の約5か月前をチップ申込み期限とし、実際のチップは約4か月後に納品される予定である。センターとしてはCMOS $0.5\ \mu\text{m}$ と $1.5\ \mu\text{m}$ やLPGAのほかにも、更にサービス項目を増やすよう努力したいと考えているが、現在のところは確定していない。

4. センター運営と産学協同の将来

上記2.で述べたようにセンターは、協議会と運営委員会の決定に基づき、教官と事務官により運営されるが、運営委員会委員はサブセンターその他の全国のユーザ大学の中から代表として選出されることになる。

CADソフトウェアのライセンス管理にみられるように、サブセンターはその地域の国公立大学、高専の約10校程度を代表する拠点校として位置づけられ、その地域のVLSI設計教育推進の中心としての役割を期待されている。試作したチップの評価のための支援手段として、平成8年度の補正予算で本センターおよびサブセンターにはVLSI試験装置が整備されている。ユーザはその地域のサブセンターあるいは本センターで必要に応じてこれらの試験装置を利用できる。特に本センターではVLSIテスターのほかに、チップ上の不具合箇所を発見するための手段としての電子ビームプローバや、簡単な修復の手段としての集束イオンビーム装置が設置されている。その利用方法、予約方法等についても順次ホームページで公開する予定である。

また、センターでは機関誌の発行やホームページを利用して随時最新の設計関連情報を発信するが、同時にCAD利用技術セミナーやVLSI設計・試験法のセミナーを開催しCADベンダ、半導体製造会社、大学教官を講師として招く予定である。セミナーの開催場所はセン

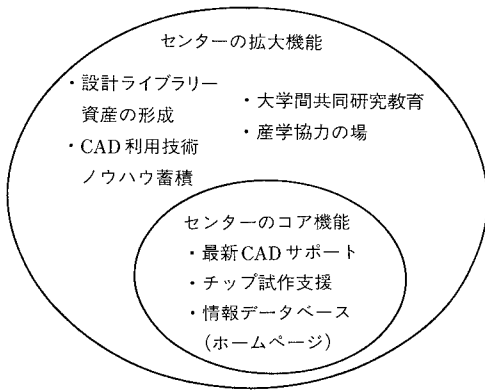


図11 センターのコアおよび拡大機能

ターのほか、参加者の便宜を考慮しサブセンターでも開催するために関係教官の協力を仰ぐ予定である。

本センターのCAD整備とチップ試作業務は、いわばVLSI設計教育のための「ハードウェア整備」といえる(図11のコア機能)。今回のセンター設置により「ハードウェア」は整備されつつあるが、センターを有効に利用するための「ソフトウェア整備」は今始まったところである(図11の拡大機能)。今回のテストランでもいくつかの大学にライブラリー等の整備やCAD利用技術ノウハウの蓄積の面で協力をお願いしている。これらの成果は順次、センターのホームページを介して公開する予定である。

この大学側が中心となった設計資産の形成は時の経過と共に進むものであり、HDLレベル、ネットリストレベル、図形レベル等での効率的設計資産蓄積と公開はセンターの重要な役割の一つと考えている。この努力を継続することにより、近い将来、ユーザは用途に応じて最適なCADツールを選択できると共に、基本回路ライブラリーからメモリー、CPUマクロ、更にそのコンパイラ等に至るまでの様々なライブラリーを簡便に検索利用できるようになると期待している。

一方、本センターは大学、高専の共同利用センターであるが、VLSI設計技術教育の推進の観点で産業界との協力も不可欠である。これは

単にチップ試作での協力にとどまるものではない。VLSI製造技術は従来、産業界が中心となって推進してきているものであるが、VLSI設計技術の将来あるべき姿を産学両方の立場で検討し、望ましい方向を見いだすためにも協力は必要不可欠であると思われる。幸いにしてVLSI設計技術は、システム設計という共通の目的をもっている点で、他のソフトウェア設計技術と共通点がある。このような将来の情報処理システム設計技術にはハードウェア、ソフトウェア両面で若い技術者の柔軟な思考が不可欠であり、大学側が主体的に提案する場面が多くなると予想される。これを現実的な応用に結びつけるためには、大学側と産業界側の問題意識を双方がよく理解する必要がある、協力が不可欠である。センターでは産業界からの客員教官ポストを導入することを要求しているが、この客員教官が中核となって広くVLSI設計教育研究の場での産学協力関係が推進されることを期待している。

5. おわりに

本センターの設置は既に米国に15年遅れているわけであるが、今日のVLSI設計技術を取り巻く状況は、C. Mead教授が当時予見した以上のことが起りつつあるといえる。従来の計算機による情報処理だけでなく、マルチメディアに代表される様々な情報サービスの中でVLSIは情報機器の中心として位置づけられ、その応用分野と共に処理速度や消費電力等の設計指針も状況に応じて多様化してきている。

本センターは1980年代初頭と同様に、VLSI設計技術にとっては再び楽みな発展時期に合わせスタートできたものと考えている。幸いインターネットが実用期を迎えた時期とも同期しており、全国のVLSI設計教育関係者の連携は極めて密接に行える状況にある。全国のVLSI設計教育関係者の知恵を結集する拠点として、本センターを育て利用することに協力をお願いしたい。

(浅田邦博)

文 献

- (1) 風, “大規模集積システム設計教育研究センターの発足とその意義,” クリーンテクノロジー, vol.7, no.2, Feb.1997 (掲載予定).
- (2) “大学における VLSI システム設計教育高度化のための総合的研究 (研究代表者:南谷 崇),” 平成7年度科学研究費補助金 (総合研究 A) 研究成果報告書, March 1996.
- (3) 半導体産業, “創造的研究開発への挑戦,” 日本電子機械工業会, 半導体産業研究所, March 1995.
- (4) 上田, D. ボールディン, “海外の大学における LSI 設計教育環境の現状と動向,” 電学誌, vol.113, no.10, Sept. 1993.
- (5) 安浦寛人, “計算機工学・集積回路工学教育研究用マイクロプロセッサの開発,” 平成5年度科学研究費補助金試験研究 (B) (1) 研究成果報告書, pp.1-231, 1994.
- (6) 石井吉彦, 小野寺 毅, 三浦敏孝, 村岡洋一, “ゲートアレイによるマイクロプロセッサ設計教育—教育環境と設計工程—,” 情処研報, vol.94, no.84, 94-CE-34, pp.1-8, Oct. 1994.
- (7) 石井吉彦, 三浦敏孝, 村岡洋一, “早稲田大学における VLSI 設計教育の現状と将来,” 信学技報, vol.95, no.176, ET 95-56, pp.83-90, July 1995.
- (8) Y. ISHII, T. ONODERA, T. MIURA, and Y. MURAOKA, “Example of Microprocessor Design Education Using Gatearray,” Proc. of Synthesis and System Integration of Mixed Technologies, SASIMI '95, pp.227-232, Aug. 1995.
- (9) 石井吉彦, CAD によるマイクロ・プロセッサの設計—回路図とテストデータ, サイエンス社, pp.1-276, 1995.
- (10) C. Mead, and L. Conway, Introduction to VLSI Systems, Addison-Wesley Publishing Company, Inc., 1980, 菅野卓雄, 榊 裕之 (監訳), 超 LSI システム入門, 培風館, 1971.
- (11) 電気学会, 集積回路教育調査専門委員会, 委員長: 菅野卓雄, 昭和56年~61年 (同委員会提案書) “(全国国立大学共同利用) 地域分散型集積エレクトロニクス教育, 研究機関 (案),” April 1985.

付 録

CAD ツール

本教育で用いた CAD ツールは, 以下に示すように (1) [Design Entry] のケイデンス Design Entry と (2) [Create Verilog Netlist] ~ (10) [Output TDL] の東芝 Design Kit (Verilog-XL) に分かれており, 実際に半導体メーカーで採用しているものである。

(1) [Design Entry]

階層設計, ハザードレス設計, スキュー対策設計, テスト容易化設計, テスト安定化設計などの回路設計方法について学習し, 回路図を作成する。

(2) [Create Verilog Netlist]

[Design Entry] で作成した回路図から Verilog ネットリストを作成する。

(3) [Design Verification]

ゲートアレイ規模, パッケージ選択, ノイズ対策設計などの実装制約について学習し, [Create Verilog Netlist] で作成した Verilog ネットリストから物理的・電氣的に実際のチップとして実現できるかどうか検証する。

(4) [Test Data]

機能動作用テストデータと故障検出用テストデータについて学習し, TSTL 2 言語 (東芝標準テストインタフェース言語 2) を用いてテストデータ ([Design Entry] で作成した回路図をテストするデータ) を作成する。

(5) [TSTL Converter]

[Test Data] で作成したテストデータから [Verilog Simulation] に必要なファイルを作成する。

(6) [Verilog Simulation]

チップの物理特性について学習し, [Create Verilog Netlist] で作成した Verilog ネットリストと [TSTL Converter] で作成したテストパターンなどを用いて論理シミュレーションを実行する。実行の際, ハザードやスキューの有無を確認する。

(7) [Simulation Result Verifier]

[TSTL Converter] で作成した期待値ファイルの期待値と, [Verilog Simulation] で作成したシミュレーション結果ファイルのシミュレーション値を比較検証する。比較検証の際, ハザードおよびスキューによる競合の有無と駆動能力不足の有無を確認する。

(8) [Timing File]

TSTL 2 言語を用いてタイミングファイル ([Design Entry] で作成した回路図を実際のチップとしてテストするためのタイミング情報を記述したファイル) を作成する。

(9) [TSTL 2 Test Data Creation]

[Design Entry]で作成した回路図を実際のチップとしてテストする期待値つきのデータを作成する。



ほりい じゅんいちろう
鳳 紘一郎 (正員)

昭40東大・工・物理卒, 昭45同大学院(電子)博士課程了。工博。同年工業技術院電総研入所。超LSI共同研, 電総研室長を経て昭63横浜国大・工・電子情報・教授, 平4東大・工・電子・教授, 平8同大学VLSIセンター長。昭44年度前期末澤記念学術奨励賞, 昭48年度業績賞各受賞。著書「半導体リソグラフィ技術」ほか。



うえだ かずお
上田 和宏 (正員)

昭40広島大・工・電気卒。電気工学専攻。昭42同大学院修士課程了。同年日本電信電話公社(現NTT)に入社。以来, 電気通信研究所, LSI研究所にて, LSI・CADシステムの研究開発に従事。工博。平3芝浦工大・システム・電子情報システム・教授, 現在に至る。



なんや たかし
南谷 崇 (正員)

昭44東大・工・計数卒。昭46同大学院修士課程了。NEC中央研究所を経て, 昭56東工大・情報・助教授。平元同電気電子・教授。平7東大・計数・教授。平8同先端研・教授。論理システムの物理的実現に関する諸問題に興味をもつ。工博。昭61年度論文賞, 平6年度大川出版賞各受賞。



やすうら ひろと
安浦 寛人 (正員)

昭51京大・工・情報卒。昭53京大・工学研究科修士課程(情報工学専攻)了。昭55より京大・工・助手。同電子工学科助教授を経て, 平3より九大大学院総合理工学研究科情報システム学専攻教授。VLSIシステムの設計手法とCADの研究およびハードウェアアルゴリズムの研究に従事。昭56年度学術奨励賞, 昭62, 平5年度論文賞, 平4情報処理学会論文賞, 平5情報処理学会坂井記念特別賞およびBest Author賞を各受賞。情報処理学会, IEEE, ACM, EATCSなどの会員。九州システム情報技術研究所非常勤研究室長を兼務。

(10) [Output TDL]

[Design Entry]で作成した回路図から東芝仕様のネットリストを作成する。



いわた みつる
岩田 穆 (正員)

昭43名大・工・電子卒。昭45同大学院修士課程了。同年日本電信電話公社(現NTT)武蔵野通研入所。平6広島大・工・教授。工博。通信用LSI, 信号処理LSI, アナログ・デジタル混載LSIの設計の研究に従事。著書「ニューラルネットワークLSI」(共著)など。



やまだ のしろ
家田 信明 (正員)

昭40名大・工・電子卒。昭42同大学院修士課程了。同年日本電信電話公社(現NTT)入社。電気通信研究所でLSIの設計技術の研究に従事。平4にNELに転籍。現在, 同社取締役, LSI事業本部統括本部長。工博。昭52年度業績賞, 昭54年度科学技術庁長官賞各受賞。



いしい よしこ
石井 吉彦 (正員)

平2早大・理工・電子通信卒。平4同大学院修士課程了。平7同大学院博士課程中退。同年早大・理工・情報・助手。コンピュータアーキテクチャ, VLSI設計の研究に従事。情報処理学会会員。



あさだ けんじ
浅田 邦博 (正員)

昭50東大・工・電子卒。昭55同大学院博士課程了。工博。同年より東大・工・電気, 電子および電子情報工学科に勤務。現在, 東大大規模集積システム設計教育研究センター教授。その間, 半導体デバイスのモデリング, 測定評価, シミュレーションの研究, および, 半導体集積回路の自動合成, 高性能回路方式の研究に従事。著書「VLSIの設計」(共著)ほか。電気学会, IEEE各会員。本会英文誌(Trans. on Electronics) Editor(平成2年~4年)。