

雨宮好仁 岩田 穆 廣瀬全孝
(北海道大学) (広島大学)

単電子回路による 知能集積デバイスの可能性

1. はじめに

単電子回路とは、クーロンブロック現象を利用して電子1個1個の輸送を制御するように設計した電子回路のことをいう。電流輸送の離散性や確率性が顕著に現れるので、CMOS回路とは違った機能的な振舞いを示すことが多い。その特徴を利用して信号処理を行う技術を単電子エレクトロニクスという。基礎研究レベルのものであるが、次世代に向けた今後の発展が期待される。ここでは、単電子回路を知能集積デバイスに応用する上で参考になりそうなくつかの話題を紹介する。単電子回路の一般解説は文献(1)を参照されたい。

2. 単電子回路とは

単電子回路はトンネル接合とキャパシタを基本要素として構成され、クーロンブロック現象により電子輸送を制御して機能を出す。クーロンブロックとは「回路系の自由エネルギーが増加するようなトンネル事象は発生で

きない」という現象である(熱力学の法則に由来する)。このクーロンブロックを明確に発現させるためにはトンネル接合とキャパシタの各容量を小さくする必要があり、使用温度にもよるが大まかにみてaF(10^{-18} F)のオーダーとする必要がある。

最も基本的な回路は図1の単電子スイッチである。ゲート電圧で中央ノードの過剰電子数を制御し、それによって主経路に電子を1個ずつ流す。SETトランジスタ(Single-Electron-Tunneling Transistor)とよばれて一つの素子のように扱われる。これを組み合わせて各種の単電子回路を設計する。一例として図2にはCMOS類似の特性をもつ論理回路を示した。図のパラメータのときは、入力“1-0”に応じて負荷容量(正確には出力ノードの容量)に電子が1個だけ充放電される。消費電力は1サイクルの状態遷移につき qV_{dd} と非常に小さい(q :電荷素量, V_{dd} :電源電圧)。動作上の確率ばらつきを抑えかつファンアウトを大きくするため、5~10個の電子を充放電するようにパラ

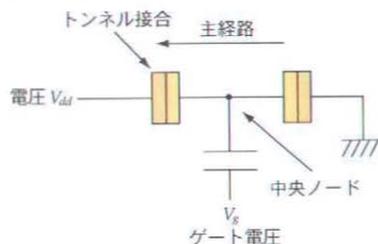


図1 単電子スイッチ回路 SETトランジスタとよばれる。

雨宮好仁: 正員 北海道大学工学部電子工学科

E-mail amemiya@sapiens.huce.hokudai.ac.jp

岩田 穆: 正員 広島大学工学部第二類(電気系)

E-mail iwa@dsl.hiroshima-u.ac.jp

廣瀬全孝: 正員 広島大学工学部第二類(電気系)

E-mail hirose@sxsys.hiroshima-u.ac.jp

Developing Intelligent LSI Devices Using Single-Electron Circuits. By Yoshihito AMEMIYA, Member (Faculty of Engineering, Hokkaido University, Sapporo-shi, 060 8628 Japan), Atsushi IWATA, and Masataka HIROSE, Members (Faculty of Engineering, Hiroshima University, Higashi-Hiroshima-shi, 739-8527 Japan).

電子情報通信学会誌 Vol.81 No.9 pp.898-902 1998年9月

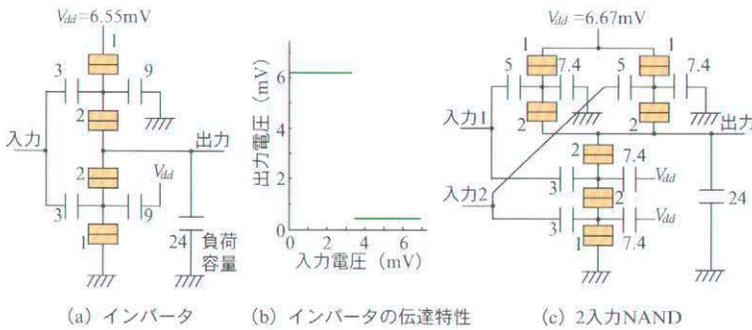


図2 単電子による擬似 CMOS 回路 図示のパラメータは一例 (容量の単位は aF). キャパシタで 2 入力相结合する NAND 回路もある. 伝達特性は温度 0 K のもの.

メータ設計することもある.

3. 単電子回路の位置づけと応用

単電子回路の特長はその多様な機能特性にある. CMOS 回路の単純なナノメータ版, という誤ったイメージを抱いてはならない. 単電子回路で CMOS 類似の動作ができることは確かであり, 論理ゲートの速度—電力積という視点で CMOS と比較されることが多い (図 3). しかしブール代数論理に使うなら待ち時間をとって確率誤差を抑える必要があるから, 動作速度でみる限り CMOS より分が悪くなる. そもそも単電子回路の面白さは「普通の電子回路とは異なった機能」を「極低電力で超高集積」に実現できるかもしれないところにある. 単電子回路は「物理系に衣を被せて電子回路の形を一応と

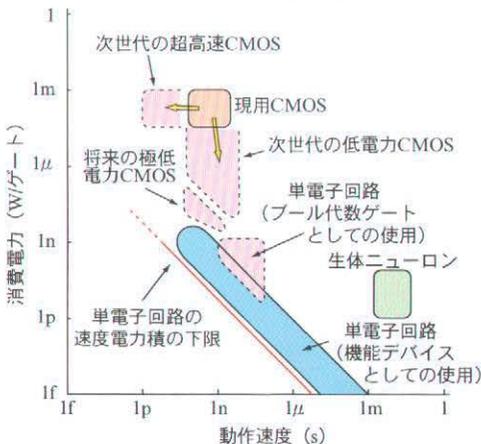


図3 単電子回路と CMOS 回路の単純な比較 研究段階の単電子回路を実用デバイスの CMOS と比較することは時期尚早であるが, 参考のため大まかなイメージを示した.

らせたもの」であり, その衣が薄絹のために物理現象が直接に顔を出して機能を生じる. その点で CMOS よりむしろ生体ニューロン回路に似たイメージをもっており, それを生かす分野に応用すべきデバイスである. 次にいくつかの話題を取り

上げて説明を加える.

3.1 単電子輸送の離散性による多値特性

単電子回路では電子 1 個 1 個のトンネルという離散現象を利用するので, 回路特性にはその影響が強く現れる. そのため多重伝達特性や多値安定性の設計が容易である. 一例を図 4 に示す. 負荷容量に蓄積される電子の個数に応じて多重伝達特性が現れており, 多値論理やしきい論理に応用分野がある. このようなパラメータ設計においては, 安定領域図 (多次元パラメータ座標上に描かれた回路状態図) をガイドマップとして利用する⁽²⁾. 回路解析にはモンテカルロシミュレーション⁽³⁾を使うことが多い.

3.2 低消費電力を生かしたニューラルネットワーク

知能集積デバイスの代表例はニューラルネットワークである. 大規模に集積できる極低電力の積和演算器が必要なので, 単電子回路には特

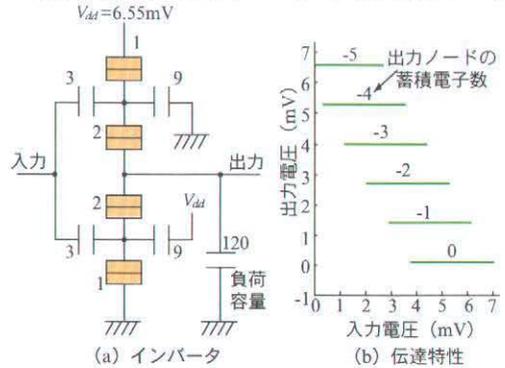


図4 多重の伝達特性をもつインバータ 図示のパラメータは一例 (容量の単位は aF). 伝達特性は温度 0 K のもの. 出力ノードの電子数に応じて階段状の特性が現れる.

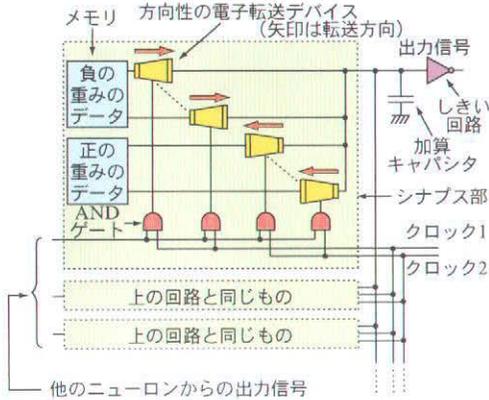


図5 単電子ニューラルネットワーク 方向性の電子転送デバイスと加算キャパシタによって電子計数回路をつくる。これを用いて複数入力のリニア結合を計算する。

に適用している。そこで図5のようなニューロン回路が提案された^{(4),(5)}。基本要素は方向性の電子転送デバイスを用いた電子計数回路である。重み係数に応じた個数の電子を計数して加算キャパシタに蓄え、その電子数を学習に応じて変更する。キャパシタ上の電子はクーロンブロッケードによって不揮発的に保持される。しきい回路には、中間値の入力でも貫通電流が流れないように設計した単電子インバータを用いる。なお、電子計数回路にはほかにも連想メモリや画像処理など様々な応用がある^{(4),(5)}。

3.3 シングルホトン画像処理のための人工網膜デバイス

大規模集積の応用分野として人工網膜がある。1個の電子で動作するという単電子回路の

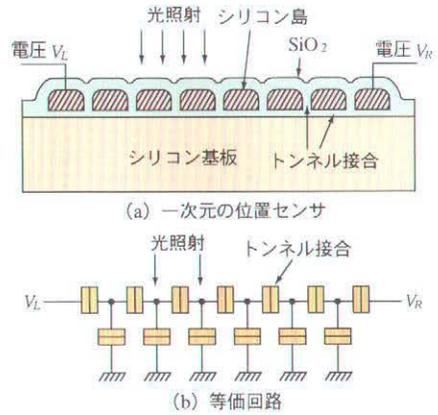


図6 一次元の位置センサとその等価回路 光の当たる位置により左右の電圧源の電流が変化する。

特徴を念頭において、極微弱な光で動かすシングルホトン網膜デバイスへの応用が検討されている。第一段階として図6のような一次元位置センサ^{(6),(7)}などが提案され始めた。人工網膜の目標は二次元画像信号の前処理にある。その方法としては、近傍画素の間で単電子のセルオートマトン処理やセルラニューラル処理を行う手法が有望と考えられている。そのような人工網膜デバイスを半導体表面の自己組織化でつくろうとする提案がある⁽⁸⁾。

3.4 単電子輸送の確率性を利用した連想メモリ

電子のトンネルは確率事象なので、回路特性にもその効果が現れる。応用としてボルツマンマシン^{(2),(9)}や連想メモリ⁽¹⁰⁾がある。後者の例を

図7に示した。各ワードごとに多数の確率的ビットコンパレータを設け、その出力をワードコンパレータで比較する。動作モードによってスタティック連想やダイナミック確率連想を実行する。連想パターンを入力にフィードバックして動作を繰り返すと確

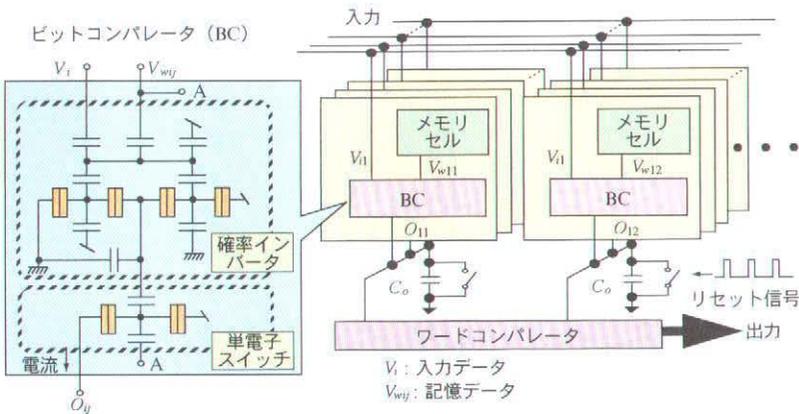


図7 単電子回路の確率動作を利用した連想メモリ 複数のビットコンパレータ群の出力を容量 C₀ で積分し、各群の積分出力をワードコンパレータで比較して出力する。

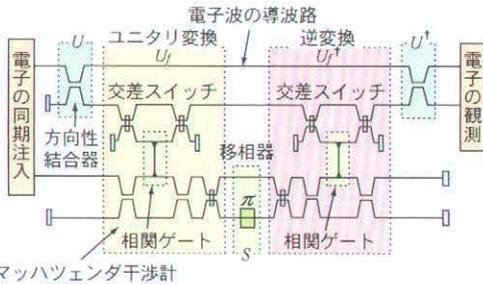


図8 量子計算を行う電子波回路の一例 Deutsch-Jozsa 例題とよばれる問題を解くもの(最も簡単な 1 bit 関数の例).

定的でない連鎖想起が可能となり、脳に近い動作を展開できる。

3.5 量子並列性を利用する量子計算回路

代表的な量子計算モデルに量子チューリング機械がある。状態重ね合わせを使って、多数の入力組合せに対するデジタル演算を一挙に実行する。デバイス化に向けた方針がいくつか提案されている。電子の量子位相現象を使った例として、電子波干渉を利用するデバイス案⁽¹¹⁾を図8に示した。ジョセフソン単電子回路を使う手法⁽¹²⁾も提案されている。他の量子計算モデルの例として量子ホップフィールドネットワークがある^{(13)・(14)}。単電子回路の協同トンネル効果を利用したデバイス化が検討されている。

4. 新機能のための単電子デバイス構造

単電子回路を実用化するときの課題は、容量が aF のオーダーという微細構造を制御良くつくることにある。現在は SET トランジスタ単体

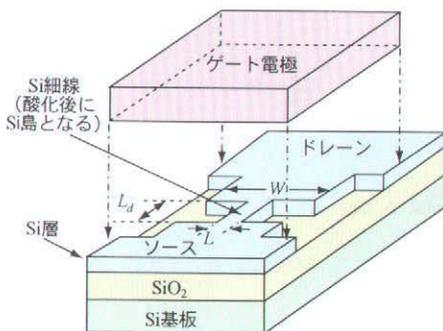


図10 SOI基板上につくられたSETトランジスタ構造 寸法例は $W=400$ nm, $L=20$ nm, $L_d=50\sim 200$ nm, Si 活性層の厚さ 50 nm.

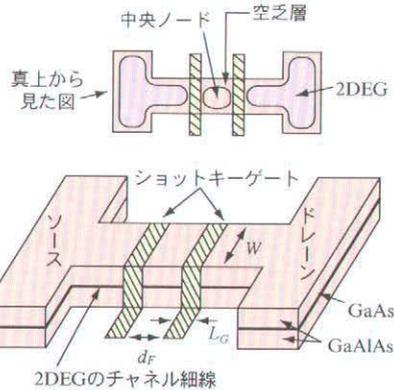


図9 化合物半導体の二次元電子ガス(2DEG)を利用した SET トランジスタ構造 寸法例は $W=580$ nm, $L_G=60$ nm, $d_F=260$ nm.

ができ始めた基礎段階である(後述のメモリは例外)。集積回路に適すると思われるプロセス手法三つを以下に挙げた。

4.1 化合物半導体ヘテロ接合の二次元電子ガス層を利用する方法

ヘテロ界面の二次元電子ガス層(2DEG)を利用して微小トンネル構造をつくる。具体例を図9に示す⁽¹⁵⁾。GaAlAs/GaAs ダブルヘテロ構造のチャネル細線上に二つのショットキーゲートを近接させて設ける。ゲート下の二次元電子ガス層は空乏化し、ゲートギャップに残った二次元電子ガス層が中央ノードとなって SET トランジスタを構成する。温度 1.9 K で明りょうなクーロンプロロックードが観測され、30 K くらいまでその特性をみる事ができた。

4.2 シリコンのSOI層(Silicon-On-Insulator Layer)を酸化で加工する方法

極薄 SOI 層を酸化して極小トンネル構造をつくる。具体例は図10のようになる⁽¹⁶⁾。SOI 基板の極薄 Si 層を加工してデバイス概形をつくる。これを酸化すると、パターン依存性のため Si 細線の両端が速く酸化される。そのため細線の中央部が分離されて島となり SET トランジスタができる。クーロンプロロックード特性は温度 30 K くらいまで明りょうであり、室温でも不完全ながら観察できた。この Si/SiO₂ 構造は特性の再現性と安定性が非常に良い。

4.3 極薄の多結晶シリコン層における粒界構造を利用する方法

多結晶シリコン Si の極薄膜 (例: 厚さ 3 nm, 粒径 10 nm) の中に自然形成される伝導細線と微小ドットを利用する^{(17),(18)}。単電子デバイス一般のためのプロセスではなく、メモリ素子の形成に特化したものである。伝導細線を FET チャネルとして使用し、近接の微小ドットを浮遊ゲートに使う。そのドットに電子を捕獲させて FET のしきい値を変え、それによって記憶を行う。本構造を使って室温動作のメモリ LSI (128 Mbit, 周辺部 CMOS) が試作された。

以上は素子そのものに限った話であったが、配線についても微小構造が必要なことはいうまでもない。そのような要求に沿うための一つの方向は、自己組織化プロセスを使ってリソグラフィの制約なしにナノ構造を形成することである。現在、各方面で研究が進められており、近い将来の実用化が期待されている。

文 献

- (1) 田部道晴, 小田俊理, 平本俊郎, 中里和郎, 雨宮好仁, “単電子デバイス・回路の研究状況と今後の展望,” 応用物理, vol.66, no.2, pp.99-108, 1997.
- (2) M. Akazawa, and Y. Amemiya, “Eliciting the Potential Functions of Single-Electron Circuits,” IEICE Trans. Electron., vol.E 80-C, no.7, pp.849-858, July 1997.
- (3) 桑村信博, 谷口研二, 浜口智寿, “単一電子論理回路のシミュレーション,” 信学論 (C-II), vol.J 77-C-II, no.5, pp.221-228, May 1994.
- (4) M. Kirihaara, and K. Taniguchi, “Asymmetric Single Electron Turnstile and Its Electronic Circuit Applications,” IEICE Trans. Electron., vol.E 81-C, no.1, pp.57-61, Jan. 1998.
- (5) 桐原正治, 谷口研二, “非対称形単電子ターンスタイルを用いた Winner-Take-All 回路特性のシミュレーション,” 第 44 回応物春季予稿集, 29 p-B-16, March 1997.
- (6) M. Tabe, Y. Terao, N. Asahi, and Y. Amemiya, “Photoirradiation Effects in a Single-Electron Tunnel Junction Array,” IEICE Trans. Electron., vol.E 81-C, no.1, pp.36-41, Jan. 1998.
- (7) 寺尾要一, 田部道晴, 雨宮好仁, “1 次元トンネル接合アレイにおける光照効果 II,” 第 45 回応物春季予稿集, 30 p-YE-13, March 1998.
- (8) 荻野俊郎, 先端機能集積システム調査研究報告書 II (平成 9 年度, 電子工業振興協会) の 2.8 節にまとまった研究紹介あり。
- (9) M. Akazawa, and Y. Amemiya, “Boltzmann Machine Nuoron Circuit Using Single-Electron Tunneling,”

- Appl. Phys. Lett., vol.70, no.5, pp.670-672, 1997.
- (10) M. Saen, T. Morie, M. Nagata, and M. Iwata, A Stochastic Associative Memory using Single-Electron Tunneling Devices, IEICE Trans. Electron., vol.E 81-C, no.1, pp.30-35, Jan. 1998.
- (11) 雨宮好仁, 田部道晴, “電子波回路による量子コンピューティングの可能性,” 第 45 回応物春季予稿集, 31 a-YE-1, March 1998.
- (12) A. Shnirman, G. Schön, and Z. Hermon, “Quantum Manipulations of Small Josephson Junctions,” Phys. Rev. Lett., vol.79, no.12, pp.2371-2374, 1997.
- (13) M. Akazawa, “Quantum Hopfield Network Using Single-Electron Circuits,” Extended abstracts of the Int. Conf. on Solid State Devices and Materials (SSDM '97), pp.306-307, 1997.
- (14) 赤澤正道, 雨宮好仁, “単電子回路による量子ホップフィールドネットワークローカルミニマム問題のないホップフィールドネットワーク,” 信学技報, NC 97-173, March 1998.
- (15) Y. Satoh, S. Kasai, K. Jinushi, and H. Hasegawa, “Computer Simulation and Experimental Characterization of Single Electron Transistors Based on Schottky Wrap Gate Control of 2 DEG,” Jpn. J. Appl. Phys., vol.37, no.3 B, pp.1584-1590, 1998.
- (16) Y. Takahashi, H. Namatsu, H. Kurihara, K. Iwadate, M. Nagase, and K. Murase, “Size Dependence of the Characteristics of Si Single-Electron Transistors on SIMOX Substrates,” IEEE Trans. Electron Devices, vol.43, pp.1213-1217, 1996.
- (17) K. Yano, T. Ishii, T. Hashimoto, T. Kobayashi, F. Murai, and K. Seki, “A Room-Temperature Single-Electron Memory Device Using Fine-Grain Polycrystalline Silicon,” IEEE Int. Electron Devices Meeting 1993, pp.541-544, 1993.
- (18) 石井智之, 矢野和男, 佐野聡明, 峰 利之, 村井二三夫, 久禮得男, 関 浩一, “128 Mbit 単一電子メモリ,” 信学技報, SDM 98-5, April 1998.



あめみや よしのり
雨宮 好仁 (正員)

昭 45 東工大・理工・電子卒。昭 50 同大学院博士課程了。同年日本電信電話公社 (現 NTT) 武蔵野電気通信研究所, 昭 62 NTT LSI 研究所, 平 5 より北大・工・電子・教授, 工博。集積回路・機能素子・量子電子回路の研究に従事, 共著書に「LSI 設計製作技術」, 「シリコン系ヘテロデバイス」など。



いわた みつる
岩田 稔 (正員)

昭 43 名大・工・電子卒。昭 45 同大学院修士課程了。同年, 日本電信電話公社 (現 NTT) に入社, 平 6 広島大・教授, 現在に至る。アナログ混載 LSI, 光電子集積回路, 脳型コンピュータの研究に従事, 工博。著書「ニューラルネットワーク LSI」など。



ひろせ まさひか
廣瀬 全孝 (正員)

昭 45 名大大学院工学研究科博士課程了。広島大・工・講師, 同助教授を経て昭 57 より教授, 昭 61 より集積化システム研究センター (平 8 よりナノデバイスシステム研究センターに改組) 長を併任, 現在に至る。専門は半導体工学, 工博。共著書に, 「次世代超 LSI プロセス技術」など。